



Technology Innovator

Puya

PY32F092 系列数据手册

32 位 ARM® Cortex®-M0+ 微控制器



Puya Semiconductor (Shanghai) Co., Ltd.

产品特性

- 内核
 - 32 位 ARM® Cortex®-M0+
 - 最高 72 MHz 工作频率
- 存储器
 - 256/192/128/64 KB Flash 存储器
 - 32/24/16/8 KB SRAM
- 时钟系统
 - 内部高速时钟(HSI) 8/16/24/48/64 MHz
 - 内部中速时钟(MSI) 2 MHz
 - 内部低速时钟(LSI) 32.768 kHz
 - 外部高速晶振(HSE) 4 ~ 32 MHz
 - 外部低速晶振(LSE) 32.768 kHz
 - PLL 支持对 HSI 或 HSE 的 2 ~ 18 倍频
- 电源管理和复位
 - 工作电压: 1.8 ~ 5.5 V
 - 低功耗模式: Low-power run、Sleep、Low-power sleep、Stop、Standby
 - 上电/掉电复位 (POR/PDR)
 - 欠压复位 (BOR)
 - 可编程的电压检测 (PVD)
 - V_{BAT} 为 RTC 和 BKP 寄存器供电
- 输入输出(I/O)
 - 多达 60 个 I/O, 均可作为外部中断
 - 所有 IO 支持最高 5 V 灌电流 50 mA
 - 8 个 LED COM 支持超强灌电流, 可配置 120/100/80/60 mA
 - 16 个 GPIO 作为 LED SEG 支持恒流驱动
- 7 通道 DMA 控制器
- 1 x 12 位 ADC
 - 支持最多 23 个外部输入通道
- 参考电压源: 电源电压、内置参考电压 0.6V/1.024 V/1.5 V/2.048 V/2.5 V
- 输入电压转换范围: 0 ~ V_{REFP}
- 1 x 12 位 DAC, 支持 1 个通道
- 2 路比较器
- 1 路运算放大器
- 支持 8*36 / 4*40 LCD
- 14 个定时器
 - 1 个 16 位高级控制定时器 (TIM1)
 - 1 个 32 位通用定时器 (TIM2)
 - 4 个 16 位通用定时器 (TIM3/15/16/17)
 - 1 个 PWM 专用定时器 (PWM)
 - 2 个基本定时器(TIM6/TIM7)
 - 2 个低功耗定时器(LPTIM), 支持从低功耗模式唤醒
 - 1 个独立看门狗定时器 (IWDG)
 - 1 个窗口看门狗定时器 (WWDG)
 - 1 个 SysTick 定时器
- RTC
 - 支持硬件万年历
- 通讯接口
 - 2 个串行外设接口(SPI), 带 I²S 功能
 - 2 个通用同步/异步收发器(USART), 支持自动波特率检测, 支持 ISO7816, LIN, IrDA
 - 2 个通用异步收发器 (UART)
 - 2 个低功耗通用异步收发器(LPUART)
 - 2 个 I²C 接口, 支持标准模式 (100 kHz)、快速模式 (400 kHz) 和增强快速模式 (1MHz), 支持 7 位/ 10 位寻址模式, 支持 SMBus/PMBus
 - 1 个 CAN FD 接口
- 硬件 CRC-32 模块
- 唯一 UID

- 串行调试 (SWD)
- 工作温度: -40 ~ 105 °C
- 封装: LQFP64

Puya Confidential

目录

产品特性	2
1. 简介	7
2. 功能概述	10
2.1. Arm® Cortex®-M0+内核	10
2.2. 存储器	10
2.3. Boot 模式	11
2.4. Flash 加速器 (ACC)	11
2.5. 时钟系统	11
2.6. 电源管理	13
2.6.1. 电源框图	13
2.6.2. 电源监控	14
2.6.3. 电压调节器	15
2.6.4. 低功耗模式	15
2.7. 复位	16
2.7.1. 电源复位	16
2.7.2. 系统复位	16
2.8. 通用输入输出 GPIO	16
2.9. DMA	17
2.10. 中断	18
2.10.1. 中断控制器 NVIC	18
2.10.2. 扩展中断 EXTI	18
2.11. 模数转换器 (ADC)	19
2.12. 数模转换器 (DAC)	19
2.13. 比较器 (COMP)	20
2.14. 运算放大器 (OPA)	20
2.15. LCD 控制器 (LCD)	21
2.16. 定时器	21
2.16.1. 高级定时器	22
2.16.2. 通用定时器	22
2.16.3. 基本定时器 TIM6/TIM7	23
2.16.4. 专用定时器 PWM	23
2.16.5. 低功耗定时器 LPTIM	23
2.16.6. IWDG	23
2.16.7. WWDG	24
2.16.8. SysTick 定时器	24
2.17. 实时时钟 RTC	24
2.18. 循环冗余校验计算单元 CRC	25
2.19. 系统配置控制器 SYSCFG	25

2.20.	调试支持 (DBG)	26
2.21.	I ² C 接口	26
2.22.	通用同步异步收发器 USART	27
2.23.	通用异步收发器 (UART)	28
2.24.	低功耗通用异步收发器 (LPUART)	29
2.25.	串行外设接口 SPI	30
2.26.	控制器局域网 (CANFD)	31
2.27.	SWD	32
3.	引脚配置	33
3.1.	引脚定义	35
3.2.	端口 A 复用功能映射	56
3.3.	端口 B 复用功能映射	57
3.4.	端口 C 复用功能映射	58
3.5.	端口 D 复用功能映射	59
4.	存储器映射	60
5.	电气特性	64
5.1.	测试条件	64
5.1.1.	最小值和最大值	64
5.1.2.	典型值	64
5.1.3.	供电方案	64
5.2.	绝对最大额定值	65
5.3.	工作条件	65
5.3.1.	通用工作条件	65
5.3.2.	上下电工作条件	66
5.3.3.	内嵌复位和 PVD 模块特性	66
5.3.4.	工作电流特性	68
5.3.5.	低功耗模式唤醒时间	75
5.3.6.	外部时钟源特性	77
5.3.7.	内部高频时钟源 HSI 特性	79
5.3.8.	内部中频时钟源 MSI 特性	80
5.3.9.	内部低频时钟源 LSI 特性	80
5.3.10.	锁相环 PLL 特性	81
5.3.11.	存储器特性	81
5.3.12.	EFT 特性	81
5.3.13.	ESD & LU 特性	81
5.3.14.	端口特性	82
5.3.15.	LED SEG 恒流驱动特性	83
5.3.16.	ADC 特性	83
5.3.17.	DAC 特性	87
5.3.18.	比较器特性	89

5.3.19.	运算放大器特性	89
5.3.20.	温度传感器特性	90
5.3.21.	LCD 控制器特性.....	90
5.3.22.	内置参考电压特性.....	90
5.3.23.	COMP 内置参考电压特性(6-bit DAC).....	91
5.3.24.	定时器特性.....	91
5.3.25.	通讯口特性.....	92
6.	封装信息	96
6.1.	LQFP64 封装尺寸.....	96
7.	订购信息	97
8.	版本历史	98

1. 简介

PY32F092 系列 MCU 采用高性能 32 位 Arm® Cortex®-M0+ 内核，宽电压工作范围，嵌入高达 256 KB Flash 和 32 KB SRAM 存储器，最高工作频率 72 MHz。包含多种不同封装类型多款产品。芯片集成多路 I²C、SPI、USART、LPUART 等通讯外设，1 路 12 位 ADC，1 路 DAC，14 个定时器，2 路比较器，1 路运算放大器，1 个 CAN FD，1 个 LCD 驱动器。

PY32F092 系列 MCU 的工作温度范围为 -40 ~ 105 °C，标准工作电压范围 1.8 ~ 5.5 V。芯片提供 Low-power run、Sleep、Low-power sleep、Stop0/1/2/3 和 Standby 低功耗工作模式，可以满足不同的低功耗应用。

PY32F092 系列 MCU 具备高性能 CPU 和低功耗设计，可应用于智能工厂的传感器网络、机器人控制系统及生产线自动化管理，配合其出色的抗干扰性能，可适配各种主控控制方案，应用范围涵盖：工业自动化、汽车电子、智能家居、医疗等领域展现出广泛的应用潜力。

表 1-1 PY32F092 系列产品规划及特征

外设		PY32F092R2CT7
Flash (KB)		256
SRAM (KB)		32
定时器	高级定时器	1(16-bit)
	通用定时器	4(16-bit)
		1(32-bit)
	基本定时器	2
	PWM 专用定时器	1
	低功耗定时器	2
	SysTick	1
	看门狗定时器	2
通讯口	SPI[I ² S]	2[2]
	I ² C	2
	USART	2
	UART	2
	LPUART	2
	CAN	1
DMA		7ch
RTC		Yes (万年历)
通用端口		60
ADC (外部+ 内部通道)		1 (23+5)
DAC(通道数)		1(1)
模拟比较器		2
运算放大器		1
LCD (COM * SEG)		8*36/4*40
最高主频		72 MHz
工作电压		1.8 ~ 5.5 V
工作温度		-40 ~ 105 °C
封装		LQFP64

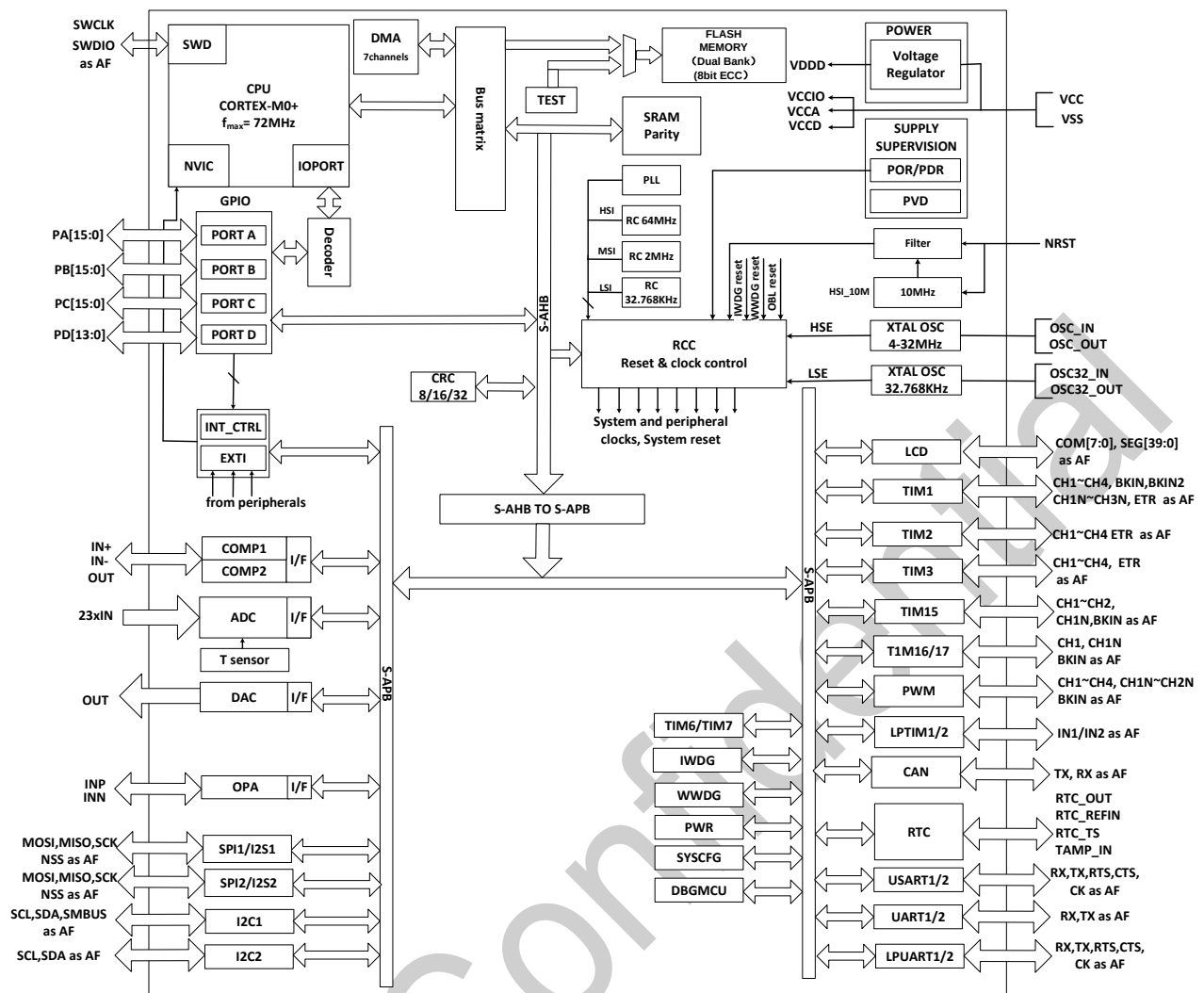


图 1-1 功能模块

2. 功能概述

2.1. Arm® Cortex®-M0+内核

Arm® Cortex®-M0+ 是一款为广泛的嵌入式应用设计的 32 位 Arm Cortex 处理器。它为开发人员提供了显著的好处，包括：

- 结构简单，易于学习和编程
- 超低功耗，节能运行
- 精简的代码密度等

Arm® Cortex®-M0+ 处理器是 32 位内核，面积和功耗优化高，为 2 级流水的冯诺伊曼架构。处理器通过精简但强大的指令集和广泛优化的设计，提供高端处理硬件，包含单周期乘法器，提供了 32 位架构计算机所期望的卓越性能，比其他 8 位和 16 位微控制器具有更高的代码密度。

Arm® Cortex®-M0+与一个嵌套的矢量中断控制器（NVIC）紧密耦合。

2.2. 存储器

片内集成 SRAM。通过字节（8 位）、半字（16 位）或者字（32 位）的方式可访问 SRAM。支持写保护和字节奇偶校验。

片内集成 Flash，包含 8-bit ECC，包含两个不同的物理区域组成：

- Main flash 区域，它包含应用程序和用户数据，双 bank 结构
- Information 区域，8 KB，它包括以下部分：
 - User data
 - Parameter bytes
 - Option bytes
 - UID bytes
 - System memory

对 Main flash 的保护包括以下几种机制：

- 读保护（RDP），防止来自外部的访问。
- 写保护（WRP）控制，以防止不想要的写操作（由于程序存储器指针的混乱）。写保护的最小保护单位为 8 KB。
- Option byte 写保护，专门的解锁设计。
- 专有代码读取保护（PCROP），专有代码读出保护

Flash 内置 ECC（Error correction code）功能，支持：

- 1-bit 错误检测和纠正
- 2-bit 错误检测

2.3. Boot 模式

通过 BOOT0 pin 和 boot 配置位 nBOOT1 存放于 option bytes 中，可选择四种不同的启动模式，如下表所示：

表 2-1 Boot 配置

BOOT_LOCK	Boot 模式配置		模式
	nBOOT1 bit	BOOT0 pin	
1	X	X	强制从 Main flash 启动
0	X	0	选择 Main flash 作为启动区
0	1	1	选择 System memory 作为启动区
0	0	1	选择 SRAM 作为启动区

Boot loader 程序存储在 System memory，用于通过 USART 接口下载 Flash 程序。

2.4. Flash 加速器 (ACC)

为了发挥处理器的全部性能，该加速器将实施指令预取队列和分支缓存，从而提高了 Flash 的程序执行速度。根据 CoreMark 基准测试，该加速器所获得的性能需要达到相当于 Flash 在 CPU 频率高达 72 MHz 时以等待周期执行程序。

- 可以进行指令预取
- 指令缓存 32 条分支，数据位宽为 64 位
- 数据缓存 2 条分支，数据位宽为 64 位

2.5. 时钟系统

CPU 启动后默认系统时钟频率为 HSI 8 MHz，在程序运行后可以重新配置系统时钟频率和系统时钟源。可以选择的时钟有：

- 一个 8/16/24/48/64 MHz 可配置的内部高精度 HSI 时钟。
- 一个 2 MHz 内部高精度 MSI 时钟。
- 一个 32.768 kHz 可配置的内部 LSI 时钟。
- 4 ~ 32 MHz HSE 时钟，并且可以使能 CSS 功能检测 HSE。如果 CSS fail，硬件会自动转换系统时钟为 HSI，HSI 频率由软件配置，同时 CPU NMI 中断产生。
- 一个 32.768 kHz LSE 时钟，并且可以使能 CSS 功能检测 LSE。如果 CSS fail，硬件会自动转换系统时钟为 LSI，同时 CPU NMI 中断产生。
- PLL 时钟，PLL 源可以选择 HSI 或 HSE。如果选择 HSE 源，当 HSE CSS 使能并且 CSS fail 时，关闭 PLL 和 HSE，硬件选择系统时钟源为 HSI。

AHB 时钟可以基于系统时钟分频，APB 时钟可以基于 AHB 时钟分频。AHB 和 APB 时钟频率最高为 72 MHz。

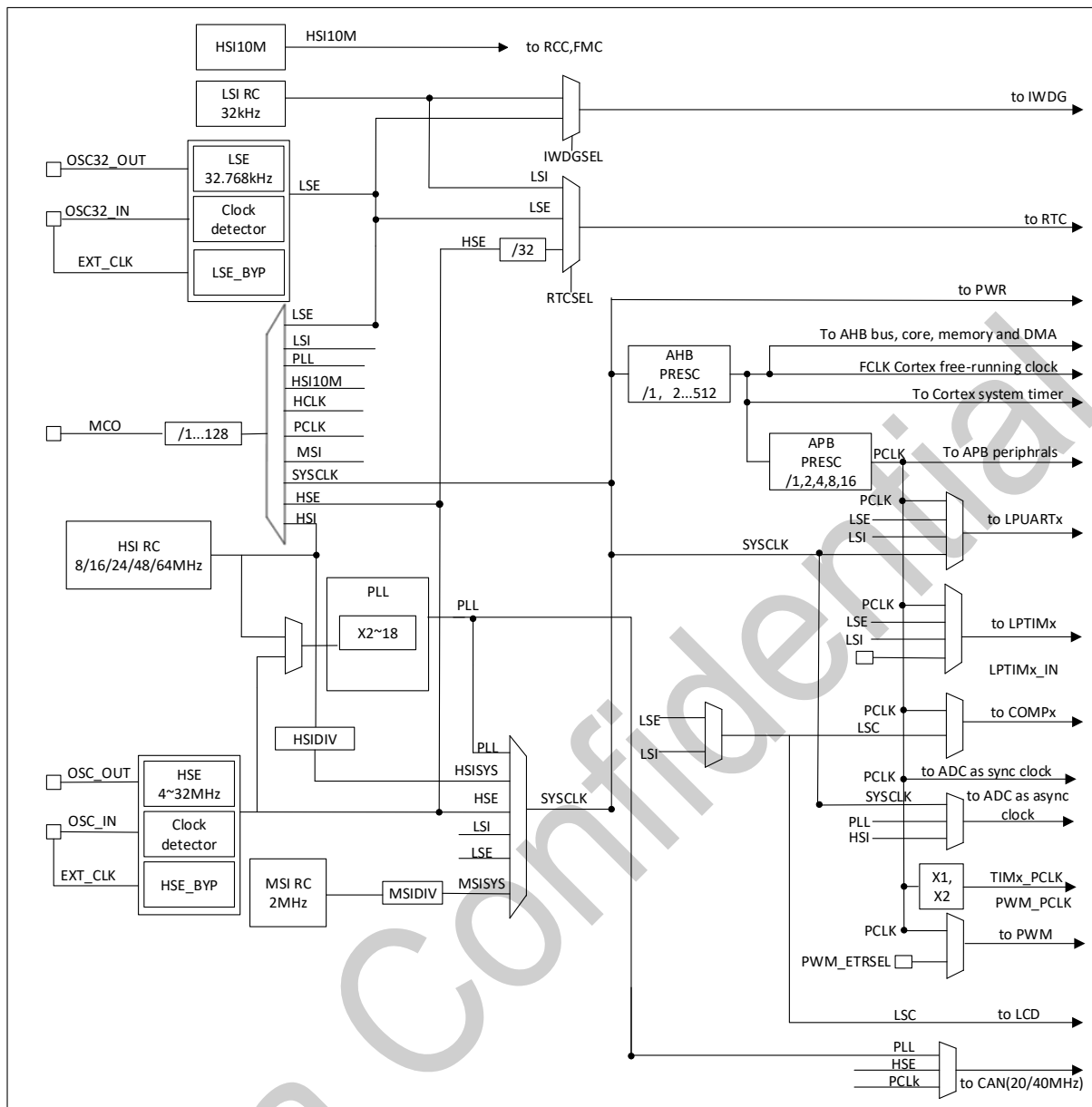


图 2-1 系统时钟结构图

2.6. 电源管理

2.6.1. 电源框图

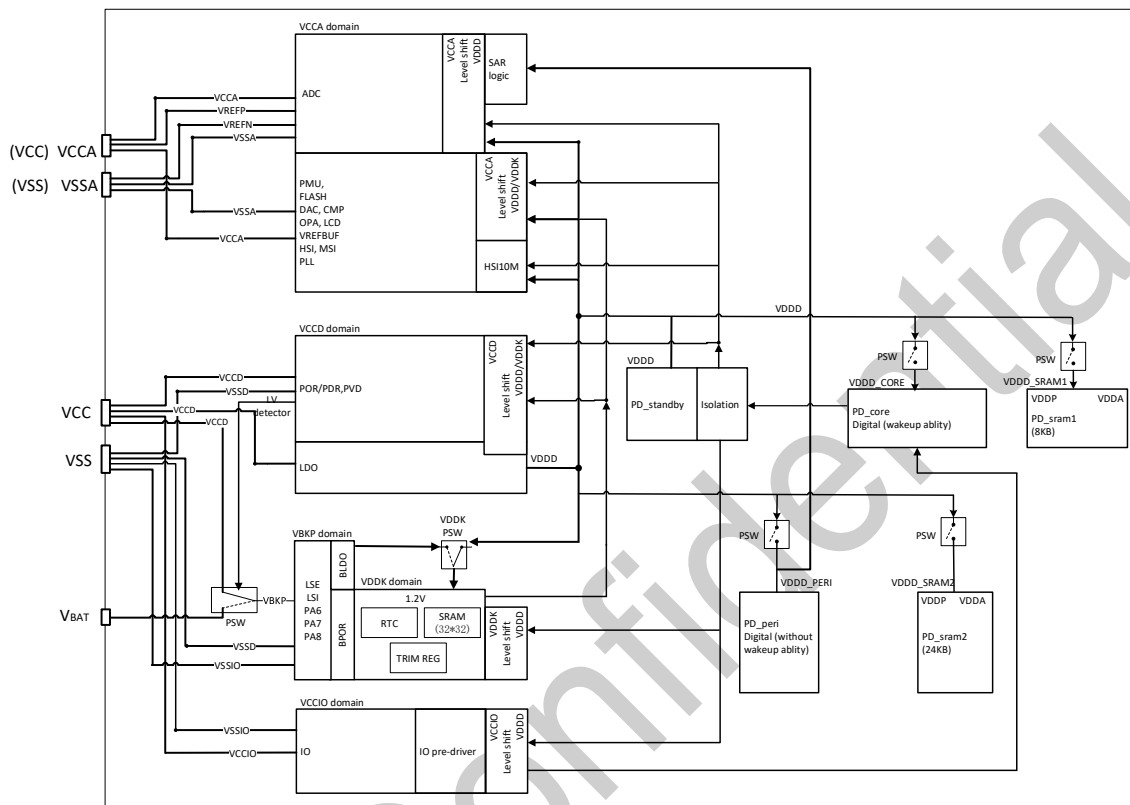


图 2-2 电源框图

表 2-2 电源框图

编号	电源	电源值	描述
1	V _{CC}	1.8 ~ 5.5 V	通过电源管脚为芯片提供电源，其供电模块为：部分模拟电路。
2	V _{BAT}	1.55 ~ 5.5 V	电池电源。当 V _{CC} 掉电时，V _{BKP} 域由 V _{BAT} 供电。
3	V _{CCA}	1.8 ~ 5.5 V	给大部分模拟模块供电，来自于 V _{CC} PAD（也可设计单独电源 PAD）。
4	V _{REFP}	1.8 ~ 5.5 V	给 ADC、DAC 提供参考电压。
5	V _{DD}	1.2 V	来自于 VR 的输出，为芯片内部主要逻辑电路（CPU、总线、RCC、PWR、外设 IP）、SRAM 供电。当 MR 供电时，输出 1.2 V。 当进入停止或者待机模式时，根据软件配置，可以为 MR、LPR 或者 DLPR 模式。

2.6.2. 电源监控

2.6.2.1. 上下电复位 (POR/PDR)

芯片内设计 Power on reset (POR) / Power down reset (PDR) 模块，为芯片提供上电和下电复位。该模块在各种模式之下都保持工作。

2.6.2.2. 欠压复位 (BOR)

除了 POR/PDR 外，还实现了 BOR (Brown out reset)。BOR 仅可以通过 option byte 使能和关闭。当 BOR 被打开时，BOR 的阈值可通过 option byte 进行选择，且上升和下降检测点都可被单独配置。

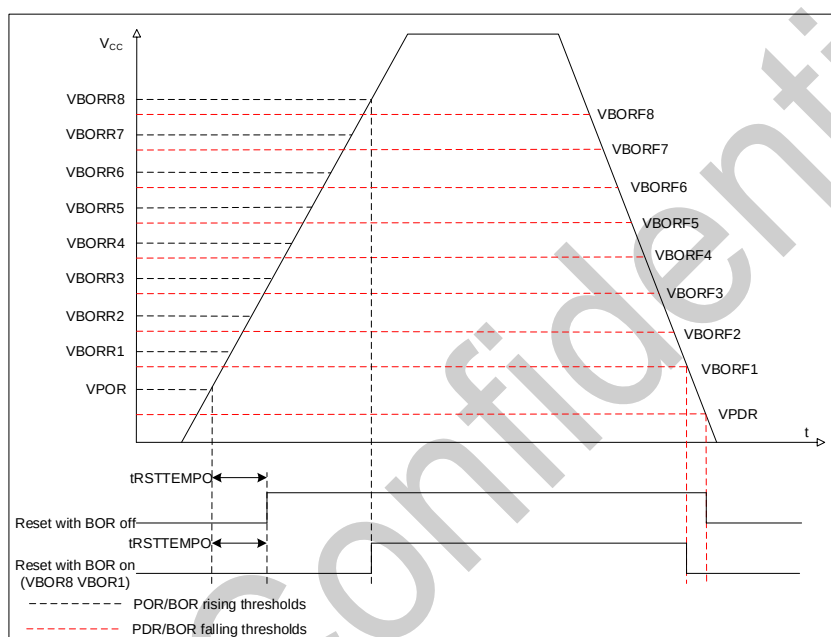


图 2-3 POR/PDR/BOR 阈值

2.6.2.3. 电压检测 (PVD)

电压检测 (Programmable Voltage detector) 模块可以用来检测 V_{CC} 电源，检测点可通过寄存器进行配置。当 V_{CC} 高于或低于 PVD 的检测点时，产生相应的复位标识。

该事件内部连接到 EXTI 的 line 16，取决于 EXTI line 16 上升/下降沿配置，当 V_{CC} 上升超过 PVD 的检测点，或者 V_{CC} 降低到 PVD 的检测点以下，产生中断，在中断服务程序中用户可以进行紧急的 shutdown 任务。

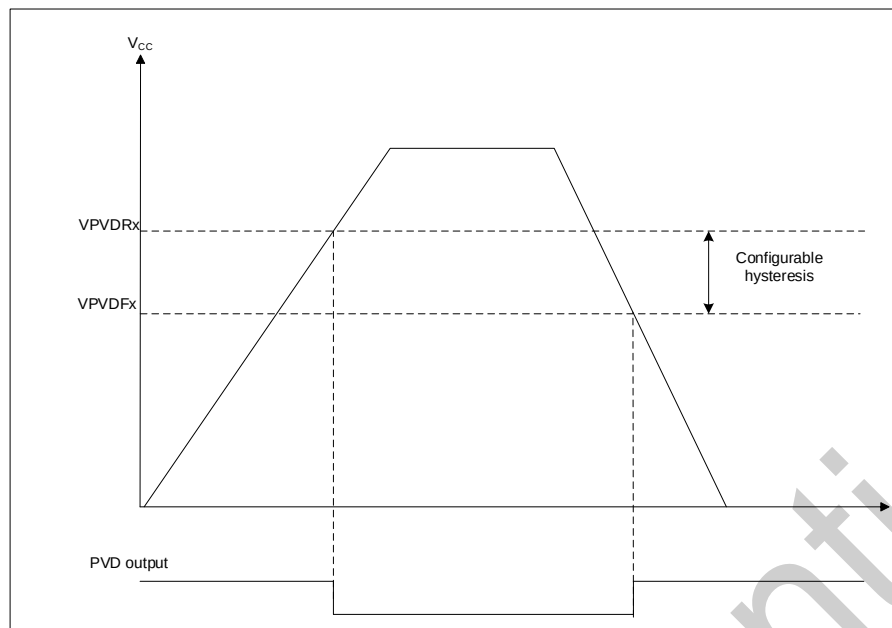


图 2-4 PVD 阈值

2.6.3. 电压调节器

芯片设计 3 种模式电压调节器：

- MR (Main regulator) 在芯片正常运行状态时保持工作。
- LPR (Low power regulator) 在低功耗模式下，提供更低功耗的选择。
- DLPR (Deep low power regulator) 在低功耗模式下，提供最低功耗的选择。

2.6.4. 低功耗模式

芯片在正常的运行模式之外，有 5 个低功耗模式：

- Sleep 模式：CPU Core 时钟关闭 (NVIC, SysTick 等工作)，外设可以配置为保持工作。（建议只使能必须工作的模块，在模块工作结束后关闭该模块）
- Low-power run 模式：该模式下 CPU 工作频率最高为 2 MHz，调压器工作在低功耗模式下，以节省功耗。
- Low-power sleep 模式：该模式仅能从 Low-power run 模式进入、CPU Core 时钟关闭，当由事件或中断唤醒时，系统将回到 Low-power run 模式。
- Stop0/Stop1/Stop2/Stop3 模式：该模式下 SRAM 和寄存器的内容保持，时钟 PLL、HSI、MSI 和 HSE 关闭， V_{DD} 域下大部分模块时钟都被停掉，部分模块可以配置为掉电。GPIO, PVD, COMP, LPUART, I²C, IWDG, RTC, TAMP 和 LPTIM 可以唤醒 Stop 模式。
- Standby 模式：该模式下 V_{DD} 域部分数字逻辑和 SRAM 掉电。从 Standby 模式退出的条件有四种：NRST 上的外部复位、IWDG 复位、RTC 闹钟唤醒、WKUP 管脚上的有效沿。

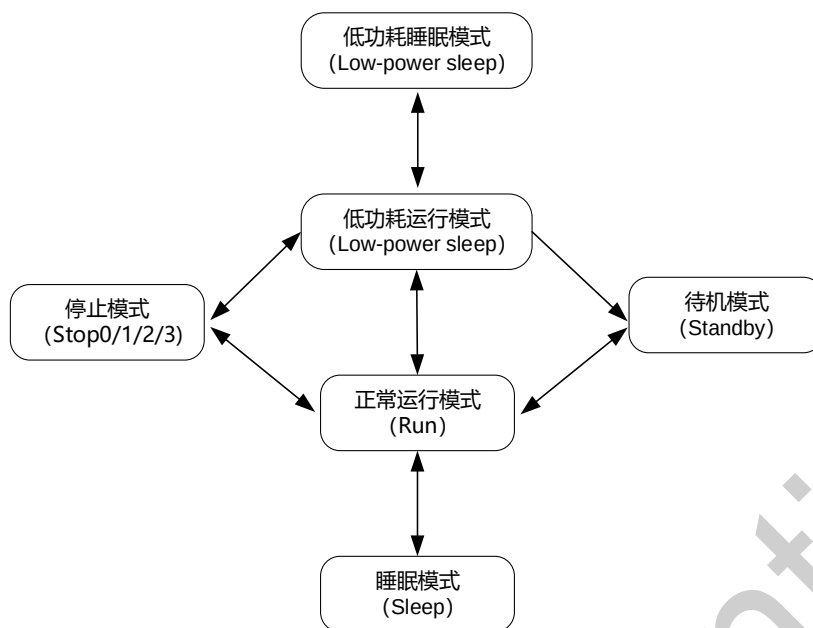


图 2-5 功耗状态转换图

2.7. 复位

芯片内设计两种复位，分别是：电源复位和系统复位。

2.7.1. 电源复位

电源复位在以下情况下产生：

- 上下电复位 (POR / PDR)
- 欠压复位 (BOR)

2.7.2. 系统复位

当产生以下事件时，产生系统复位：

- NRST 引脚的复位
- 窗口看门狗复位 (WWDG)
- 独立看门狗复位 (IWDG)
- SYSRESETREQ 软件复位
- Option byte load 复位 (OBL)

2.8. 通用输入输出 GPIO

每个 GPIO 都可以由软件配置为输出（推挽或者开漏），输入（浮空、上拉/下拉、模拟），外设复用功能，锁定机制会冻结 I/O 口配置功能。GPIO 功能概要如下：

- 寄存器支持 IO Port / AHB 总线读写
- 输出状态：推挽输出或者开漏输出 + 上拉/下拉
- 数据输出来自数据寄存器 (GPIOx_ODR) 或者外设（复用功能输出）

- 每个 I/O 可进行速度选择
- 输入状态：浮空、上拉/下拉、模拟
- 数据输入送给输入数据寄存器（GPIOx_IDR）或者外设（复用功能输入）
- 位置位/复位寄存器（GPIOx_BSRR），允许对 GPIOx_ODR 的位写访问
- 锁定机制（GPIOx_LCKR）会冻结 I/O 口配置功能
- 模拟功能
- 复用功能选择寄存器（每个 IO 口最多 16 种复用功能）
- 单周期内快速翻转的能力
- 高度灵活的 I/O 多路选择功能，使得 I/O 口作为 GPIO，或者作为各种外设接口功能

2.9. DMA

直接存储器存取（DMA）用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输。搬运数据无需 CPU 干预，数据可以通过 DMA 快速地移动，这就节省了 CPU 的资源来做其他操作。

DMA 控制器有 7 个通道，每个通道专门用来管理来自于一个或多个外设对存储器访问的请求。还有一个仲裁器来协调各个 DMA 请求的优先权。

主要功能如下：

- 7 个独立可配置的通道
- 每个通道通过配置可以连接任一外设的硬件 DMA 请求，每个通道都同样支持软件触发。
- 在同一个 DMA 模块上，多个请求间的优先权可以通过软件编程设置，优先权设置相等时由硬件决定（通道号越低优先级越高）
- 独立数据源和目标数据区的传输宽度（字节、半字、全字），模拟打包和拆包的过程。源和目标地址必须按数据传输宽度对齐
- 可编程的源和目标地址，地址可选递增，递减或不变
- 每个通道都有 4 个事件标志（传输完成（循环）、块传输完成、半块传输完成，传输错误），这 4 个事件标志进行“逻辑或”，成为一个单独的中断请求
- 支持存储器和存储器间、外设和存储器、存储器和外设、外设和外设的数据传输
- SRAM、APB 和 AHB 外设均可作为访问的源和目的，Flash 只能作为源不能作为目标
- 支持单次触发模式和四种循环模式
 - 外设地址保持，存储器地址保持
 - 外设地址重新加载，存储器地址保持
 - 外设地址保持，存储器地址重新加载
 - 外设地址和存储器地址都重新加载
- 单次模式可编程传输数量 0 ~ 65535
- 循环模式支持无限循环和有限循环（1 ~ 255）
- 支持单一传输和批量传输
 - 单一传输：搬运 1 次数据回复 1 次 ACK

- 批量传输：搬运配置的数据量后回复 1 次 ACK（所有数据搬运结束后释放总线）
- 支持存储器到存储器模式的两种传输方式
 - 快速模式：获得仲裁后始终占据总线，直到传输完所有数据后释放总线
 - 轮换模式：传输 1 次数据后释放总线重新仲裁
- 支持在循环模式下进入块传输完成中断后暂停传输

2.10. 中断

PY32F092 通过 Cortex-M0+ 处理器内嵌的矢量中断控制器（NVIC）和一个扩展中断/事件控制器（EXTI）来处理异常。

2.10.1. 中断控制器 NVIC

NVIC 是 Cortex-M0+ 处理器内部紧耦合 IP。NVIC 可以处理来自处理器外部的 NMI（不可屏蔽中断）和可屏蔽外部中断，以及 Cortex-M0+ 内部异常。NVIC 提供了灵活的优先级管理。

处理器核心与 NVIC 的紧密耦合大大减少了中断事件和相应中断服务例程（ISR）启动之间的延迟。ISR 向量列在一个向量表中，存储在 NVIC 的一个基地址。要执行的 ISR 的向量地址是由向量表基址和用作偏移量的 ISR 序号组成的。

如果高优先级的中断事件发生，而低优先级的中断事件刚好在等待响应，稍后到达的高优先级的中断事件将首先被响应。另一种优化称为尾链（tail-chaining）。当从一个高优先级的 ISR 返回时，然后启动一个挂起的低优先级的 ISR，将跳过不必要的处理器上下文的压栈和弹栈。这减少了延迟，提高了电源效率。

NVIC 特性：

- 低延时中断处理
- 4 级中断优先级
- 支持 1 个 NMI 中断
- 31 个可屏蔽的中断通道（不包括 16 个 CPU 的中断）
- 高优先级中断可打断低优先级中断响应
- 支持尾链（tail - chaining）优化
- 硬件中断向量检索

2.10.2. 扩展中断 EXTI

EXTI 增加了处理物理线事件的灵活性，系统可以通过 GPIO 和指定模块（PVD/COMP/RTC/TAMP/I²C/LPUART/LPTIM）输入事件唤醒。

EXTI 控制器有多个通道，包括最多 60 个 GPIO 通过复用的方式使用 16 个 EXTI line，1 个 PVD 输出，2 个 COMP 输出，2 个 LPUART 唤醒信号，2 个 I²C 唤醒信号，2 个 LPTIM 唤醒信号，以及 RTC、TAMP、以及 LSE CSS 信号。其中 GPIO，PVD，COMP 可以配置上升沿、下降沿或双沿触发。任何 GPIO 信号通过选择信号配置为 EXTI0 ~ 15 通道。

- 每个 EXTI line 都可以通过寄存器独立屏蔽。

- EXTI 控制器可以捕获比内部时钟周期短的脉冲。
- EXTI 控制器中的寄存器锁存每个事件，即使是在停止模式下，处理器从停止模式唤醒后也能识别唤醒的来源，或者识别引起中断的 GPIO 和事件。

2.11. 模数转换器 (ADC)

芯片具有 1 个 12 位的 SARADC。该模块共有最多 28 个要被测量的通道，包括 23 个外部通道和 5 个内部通道，其中包含 3 对差分通道。

内部通道包括 T_{S_VIN} , V_{REFINT} , $V_{CC}/3$, OPA, DAC。

- 各通道的转换模式可以设定为单次、连续、非连续模式。转换结果存储在左对齐或者右对齐的 16 位数据寄存器中。
- 模拟看门狗允许应用检测是否输入电压超出了用户定义的高或者低阈值。
- 在 ADC ready, 采样结束, 转换结束, 序列转换结束, 模拟看门狗转换电压超出阈值, 溢出事件时产生中断请求。
- ADC 可配置 12 位、10 位、8 位和 6 位分辨率
- 最大 ADC 采样率: 2 MSPS
- 支持自校准 (软件启动)
- 支持可编程采样时间
- 数据寄存器可配置数据对齐方式
- 支持规则通道数据转换的 DMA 请求
- 支持可配置的 16 个规则通道转换
- 支持可配置的 4 个注入序列转换
- 过采样器, 具有 16 位数据寄存器, 过采样率 2 ~ 256 可调, 可编程数据移位可达 8 位
- 数据处理, 支持增益补偿和 offset 补偿

2.12. 数模转换器 (DAC)

数字/模拟转换模块 (DAC) 是 12 位数字输入, 电压输出的数字/模拟转换器。DAC 可以配置为 8 位或 12 位模式, 也可以与 DMA 控制器配合使用。DAC 工作在 12 位模式时, 数据可以设置成左对齐或右对齐。DAC 模块有 1 个输出通道。主要特性如下:

- 12 位模式下数据左对齐或者右对齐
- 同步更新功能
- 噪声波形生成
- 三角波形生成
- 每个通道都有支持 DMA 功能
- 支持 DMA 下溢错误检测
- 外部触发转换
- 输入参考电压 V_{CC} , V_{REFP} 和 V_{REFBUF}

— DAC 的 V_{REFBUF} 只支持 2.5 V

2.13. 比较器 (COMP)

芯片内集成 2 个通用比较器 (General purpose comparators, COMP), 分别是 COMP1/2。这两个模块可以作为单独的模块, 也可以与定时器组合在一起使用。

比较器可以使用在:

- 被模拟信号触发, 产生低功耗模式唤醒信号
- 模拟信号调节
- 当与来自定时器的 PWM 输出连接时, 构成逐周期电流控制回路
- 支持电压比较功能, 每个比较器有可配置的正或者负输入, 以实现灵活的电压选择
 - 多路 I/O 引脚
 - V_{CC}/V_{REFBUF} 的 64 档分压
 - 温度传感器输出
 - DAC 输出
 - OPA 输出
 - V_{REFINT}
- 可编程速度和功耗
- 可编程的迟滞功能
- 配置寄存器写保护 (LOCK 功能)
- 输出可以被连接到 I/O 或者 timer 的输入作为触发
- 每个 COMP 具有中断产生能力, 用作芯片从低功耗模式 (Sleep/Stop) 的唤醒 (通过 EXTI)
- 提供软件可配置数字滤波时间以增强芯片抗干扰能力
- 支持输出消隐以降低开关噪声
- 支持 Windows COMP 功能

2.14. 运算放大器 (OPA)

OPA 模块可以灵活配置, 适用于简易放大器应用。

OPA 功能概要如下:

- 1 个独立配置运放
- 输入可分别配置选择 2 路, 输出可配置选择 4 路 IO, 可内部输出到比较器及 ADC
- OPA 的输入范围是 0 到 V_{CC} , 输出范围是 0.2 V 到 $V_{CC}-0.2 V$
- 可配置为以下模式
 - 通用运放模式 (General purpose OPA)

2.15. LCD 控制器 (LCD)

LCD 控制器是一款适用于单色无源液晶显示器 (LCD) 的数字控制器/驱动器, 最多具有 8 个公用端子 (COM) 和 40 个区段端子 (SEG), 用以驱动 160 (4 * 40) 或 288 (8 * 36) 个 LCD 像素。端子的确切数量取决于数据手册中所述的器件引脚。LCD 功能概要如下:

- 高度灵活的帧速率控制
- 支持静态、1/2、1/3、1/4、1/6 和 1/8 占空比
- 支持 1/2、1/3 和 1/4 偏置电压
- 可支持显示方式: Type A 或 Type B
- 3 种驱动波形生成方式: 内部电阻分压、外部电阻分压, 外部电容分压方式
 - 内部电阻分压可通过软件配置内部高驱动分压电阻导通时间的方式降低功耗, 匹配 LCD 面板所需的电容电荷; 也可通过软件配置 LCD 的对比度, 调节 LCD 面板的亮度
 - 外部电阻分压可通过调节外部电阻阻值, 匹配 LCD 面板所需的电容电荷
 - 外部电容分压可通过软件配置电容驱动次数, 匹配 LCD 面板所需的电容电荷
- 支持 LCD 闪烁功能且可配置多种闪烁频率
- 支持 LCD 死区时间功能可配置, 调节显示亮度
- 未使用的 LCD 区段和公共引脚可配置为数字或模拟功能
- 多达 16 个寄存器的 LCD 数据 RAM
- 双缓冲存储器, 允许通过应用固件随时更新 LCD_RAM 寄存器中的数据, 而不影响所显示数据的完整性
- 支持低功耗模式: LCD 控制器可在 Run、Low-power run、Sleep、Low-power sleep、Stop 模式下进行显示
- 可配置帧中断

2.16. 定时器

PY32F092 不同定时器的特性如下表所示:

表 2-3 定时器特性

类型	Timers	位宽	计数方向	预分频	DMA	捕获/比较通道	互补输出
高级定时器	TIM1	16 位	递增、递减、中心对齐	1 ~ 65536	支持	4	3
通用定时器	TIM2	32 位	递增、递减、中心对齐	1 ~ 65536	支持	4	-
	TIM3	16 位	递增、递减、中心对齐	1 ~ 65536	支持	4	-
	TIM15	16 位	递增	1 ~ 65536	支持	2	1
	TIM16, TIM17	16 位	递增	1 ~ 65536	支持	1	1

类型	Timers	位宽	计数方向	预分频	DMA	捕获/比较通道	互补输出
基本定时器	TIM6	32 位	递增	1 ~ 65536	支持	-	-
	TIM7	16 位	递增	1 ~ 65536	支持	-	-
专用定时器	PWM	16 位	递增、递减、 中心对齐	1 ~ 65536	支持	4	2

2.16.1. 高级定时器

高级定时器 (TIM1) 由 16 位被可编程分频器驱动自动装载计数器组成。它可以被用作各种场景，包括：输入信号（输入捕获）的脉冲长度测量，或者产生输出波形（输出比较、输出 PWM、带死区插入的互补 PWM）。

TIM1 包括 4 个独立通道，用作：

- 输入捕获
- 输出比较
- PWM 产生（边缘或者中心对齐模式）
- 单脉冲模式输出
- 支持用于定位的增量（正交）编码器和霍尔传感器电路

如果 TIM1 配置为标准的 16 位计时器，则它具有与计时器相同的特性。如果配置为 16 位 PWM 发生器，则具有全调制能力（0 ~ 100%）。

在 MCU debug 模式，TIM1 可以冻结计数。

具有相同架构的 timer 特性共享，因此 TIM1 可以通过计时器链接功能与其他计时器一起工作，以实现同步或事件链接。

TIM1 支持 DMA 功能。

2.16.2. 通用定时器

2.16.2.1. TIM2/TIM3

TIM2/TIM3 通用定时器是由 32/16 位可编程分频器驱动的 32/16 位自动重载计数器构成。具有 4 个独立的通道，每个用于输入捕获/输出比较，PWM 或者单脉冲模式输出。

- 可以通过计时器链接功能与 TIM1 一起工作
- 支持 DMA 功能
- 在 MCU debug 模式，TIM2/TIM3 可以冻结计数

2.16.2.2. TIM15/TIM16/TIM17

- TIM15、TIM16 和 TIM17 由可编程预分频器驱动的 16 位自动装载计数器构成。
- TIM15 具有 2 个独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。
- TIM16 和 TIM17 具有 1 个独立通道用于输入捕获/输出比较，PWM 输出。
- TIM15、TIM16 和 TIM17 具有带可编程死区时间的互补输出。

- TIM15、TIM16 和 TIM17 支持 DMA 功能。
- 在 MCU debug 模式，TIM15、TIM16/TIM17 可以冻结计数。

2.16.3. 基本定时器 TIM6/TIM7

- 基本定时器 TIM6 包含一个 32 位自动装载计数器，由各自的可编程预分频器驱动。
- 基本定时器 TIM7 包含一个 16 位自动装载计数器，由各自的可编程预分频器驱动。
- 16 位/32 位自动装载计数器。
- 在更新事件（计数器溢出）发生时产生中断/DMA 请求。

2.16.4. 专用定时器 PWM

该模块能产生一个由寄存器确定频率和占空比的 PWM 信号。支持外部时钟计数，频率可以超过 PCLK 频率。

- 16 位递增、递减或者递增/递减的自动重装载计数器
- 可编程分频器，允许对计数器的时钟频率进行 1 到 65536 的分频
- 支持重要寄存器写保护
- 多达 4 个独立的通道
- 支持 2 个通道死区时间可编程的互补输出
- 支持 1 路刹车输入
- 支持 DMA

2.16.5. 低功耗定时器 LPTIM

LPTIM1/LPTIM2 是 32 位/16 位定时器。LPTIM 将系统从低功耗模式中唤醒的能力使得它适用于实际的低功耗应用中，LPTIM 引入一种灵活的时钟方案，可提供所需的功能和性能，同时将低功耗降至最低。

- LPTIM1 为 32 位，LPTIM2 为 16 位，递增计数器
- 3 位预分频器，具有 8 个可能的分频因子（1、2、4、8、16、32、64、128）
- 可选时钟：LSE、LSI 和 APB 时钟
- 支持单次和连续模式
- 支持软件/硬件输入触发
- 在 MCU debug 模式，LPTIM 可以冻结计数值

2.16.6. IWDG

芯片内集成了一个独立看门狗定时器（简称 IWDG），该模块具有高安全级别、时序精确及灵活使用的特点。IWDG 发现并解决由于软件失效造成的功能混乱，并在计数器达到指定的 timeout 值时触发系统复位。

- IWDG 由 LSI 或者 LSE 提供时钟，可在 Stop、Standby 模式下工作。

- IWDG 最适合需要 watchdog 作为主应用之外的独立过程，并且无很高的时序准确度限制的应用。
- 通过 option byte 的控制，可以使能 IWDG 硬件模式。
- IWDG 是 Stop 模式的唤醒源，以复位方式唤醒 Stop 或者 Standby 模式。
- 在 MCU debug 模式，IWDG 可以冻结计数值。

2.16.7. WWDG

系统窗口看门狗是基于一个 7 位的下行计数器，可以设置为自由运行。当出现问题时，它可以作为一个看门狗来复位系统。计数时钟为 APB 时钟（PCLK）。它具有预警中断能力，计数器可以在 MCU debug 模式下被冻结。

2.16.8. SysTick 定时器

SysTick 计数器专门用于实时操作系统（RTOS），但也可以用作标准的向下计数器。

SysTick 特性：

- 24 位递减计数
- 自装载能力
- 计数器记到 0 时可产生中断（可屏蔽）

2.17. 实时时钟 RTC

实时时钟是一个独立的定时器。提供用于管理所有低功耗模式的自动唤醒单元。实时时钟（RTC）是一个独立的 BCD 定时器/计数器。RTC 提供具有可编程闹钟中断功能的日历时钟/日历。无论器件状态如何（运行模式、低功耗模式或处于复位状态），只要电源电压保持在工作范围内，RTC 便不会停止工作。RTC 可在 V_{BAT} 模式下工作。

日历具有亚秒、秒、分、小时（12 或 24 格式）、星期几、日、月、年，格式为 BCD（二进制十进制数）

- 自动调整每月是 28、29（闰年）、30 还是 31 天
- 两个可编程闹钟
- 可运行时纠正 1 到 32767 个 RTC 时钟脉冲。这可用于与主时钟同步
- 参考时钟检测：可使用更加精确的第二时钟源（50 或 60 Hz）来提高日历的精确度
- 数字校准电路具有 0.95 ppm 的分辨率，以补偿石英晶振的误差
- 时间戳特性可用于保存日历内容。此功能可由时间戳引脚上的事件触发，或由入侵事件触发，也可由切换到 V_{BAT} 模式的事件触发
- 用于周期性事件的 17 位自动重载唤醒定时器（WUT），具有可编程分辨率和周期
- 可以选择以下三种 RTC 的时钟源：
 - HSE 时钟除以 32
 - LSE 时钟
 - LSI 时钟

- 3 个专门的可屏蔽中断：

- 闹钟中断
- 时间戳中断
- 唤醒定时器中断

2.18. 循环冗余校验计算单元 CRC

循环冗余校验（CRC）计算单元是根据自定义的生成多项式得到 CRC 计算结果。在其他的应用中，CRC 技术主要应用于核实数据传输或者数据存储的正确性和完整性。CRC 计算单元含有 1 个 32 位数据寄存器：

- 对该寄存器进行写操作时，作为输入寄存器，可以输入要进行 CRC 计算的新数据
- 对该寄存器进行读操作时，返回上一次 CRC 计算的结果
- 每一次写入数据寄存器，其计算结果是前一次 CRC 计算结果和新计算结果的组合（对整个 32 位字进行 CRC 计算，而不是逐字节地计算）
- 可以通过设置寄存器 CRC_CR 的 RESET 位来重置寄存器 CRC_DR 为 0xFFFF FFFF。该操作不影响寄存器 CRC_IDR 内的数据
- 支持配置 CRC 初始值
- 支持配置 CRC 多项式
- 支持输入数据以 8/16/32 位为单位反转
- 支持输出反转
- 输入数据位宽支持 8/16/32 位
- 多项式位宽可配置为 7/8/16/32 位，其宽度等同于输出数据的位宽

2.19. 系统配置控制器 SYSCFG

SYSCFG 模块主要完成如下功能：

- IO 滤波使能和关闭
- I²C Fm+模式的使能与关闭
- 根据不同 boot 模式，映射初始程序区。
- DMA 外设通道选择控制。
- 模拟输入通道使能
- 模拟输入通道开关使能（PAD2）
- 所有 GPIO 的噪声滤波器的使能与关闭
- PVD Lock 的使能与关闭
- Cortex-M0+ LOCKUP 的使能与关闭
- ECC Lock 的使能与关闭
- SRAM 奇偶校验的使能与关闭
- LED IO 控制

2.20. 调试支持 (DBG)

MCU DBG 模块协助调试器提供以下功能:

- 支持睡眠模式, 停止模式和待机模式
- CPU 进入 HALT 时, 控制定时器、看门狗停止计数或者继续计数
- CPU 进入 HALT 时, 阻止 I²C1 和 I²C2 SMBUS 超时
- CPU 进入 HALT 时, 阻止 CANFD 的接收寄存器更新

MCUDBG 寄存器还提供芯片 ID 编码。使用 SW 调试接口, 或者用户程序都可以访问此 ID 编码。

2.21. I²C 接口

I²C (Inter-integrated circuit) 总线接口连接微控制器和串行 I²C 总线。它提供多主机功能, 控制所有 I²C 总线特定的顺序、协议、仲裁和时序。支持标准 (Sm)、快速 (Fm) 和快速模式增强 (Fm+)。

I²C 特性:

- 2 个 I²C 接口
- 多主机功能: 可以做 master, 也可以做 slave
- 支持不同通讯速度
 - 标准模式 (Sm): 高达 100 kHz
 - 快速模式 (Fm): 高达 400 kHz
 - 快速模式增强 (Fm+): 高达 1 MHz
- 作为 master
 - 产生 clock
 - 产生 start 和 stop
- 作为 slave
 - 可编程的 I²C 地址检测 (1 个可掩码配置)
 - 可响应 2 个从地址的双地址能力
 - STOP 位的发现
- 7 位/10 位寻址模式
- 支持广播呼叫 (General call)
- 状态标志位
 - 发送/接收模式标志位
 - 字节传输完成标志位
 - I²C 忙标志位
- 错误标志位
 - 主模式仲裁丢失
 - 地址/数据传输后的 ACK 错误

- 起始和停止错误
- 过载 (overrun) / 欠载 (underrun) (时钟拉长功能禁止)
- 可选的时钟拉长功能
- 具备 DMA 能力的单字节 buffer
- 软件复位
- 模拟噪声滤波功能
- 可配置的 PEC (Packet error checking) 产生和验证
- 兼容 SMBus
- 支持低功耗模式，地址匹配时从 Stop 模式唤醒

2.22. 通用同步异步收发器 USART

PY32F092 包含 2 个 USART，支持 ISO7816，LIN，IrDA。

通用同步异步收发器 (USART) 提供了一种灵活的方法与使用工业标准 NRZ 异步串行数据格式的外部设备之间进行全双工数据交换。USART 利用分数波特率发生器提供宽范围的波特率选择。

它支持同步单向通信和半双工单线通信，它还允许多处理器通信。

使用多缓冲器配置的 DMA 方式，可以实现高速数据通信。

USART 特性：

- 全双工异步通信
- NRZ 标准格式
- 可配置 16 倍或者 8 倍过采样，增加在速度和时钟容忍度的灵活性
- 发送和接收共用的可编程波特率，最高达 4.5 Mbit/s (72 MHz, 16 倍过采样)
- 自动波特率检测
- 可编程的数据长度 8 位或者 9 位
- 可配置的停止位 (支持 0.5, 1, 1.5 或 2 个停止位)
- 同步模式和为同步通讯的时钟输出功能
- 单线半双工通讯
- 独立的发送和接收使能位
- 硬件流控制
- 通过 DMA 缓冲接收/发送字节
- 检测标志
 - 接收 buffer 满
 - 发送 buffer 空
 - 传输结束
- 奇偶校验控制
 - 发送校验位

- 对接收数据进行校验
- 可配置的 Tx、Rx 引脚 SWAP
- MSB First 数据发送、接收格式
- LIN 主发送同步断开符的能力以及 LIN 从检测断开符的能力
 - 当 USART 硬件配置成 LIN 时，生成 13 位断开符，检测 10/11 断开符
- IRDA SIR 编码器解码器
 - 在正常模式下支持 3/16 位的持续时间
- 智能卡模拟功能
 - 智能卡接口支持 ISO7816-3 标准里定义的异步智能卡协议
 - 智能卡用到的 0.5 和 1.5 个停止位
 - 可配置 MSB 或者 LSB 传输
 - NACK 信号宽度可配置 1/1.5/2 ETU
 - 发送数据支持传输错误重发机制
 - 支持 EGT 可设 0 ~ 256，并支持多种超时中断
- 带标志的中断源
 - CTS 改变
 - 发送寄存器空
 - 发送完成
 - 接收数据寄存器非空
 - 检测到总线空闲
 - 溢出错误
 - 帧错误
 - 噪音操作
 - 校验错误
- 多处理器通信
 - 如果地址不匹配，则进入静默模式
- 从静默模式唤醒：通过空闲检测和地址标志检测。

2.23. 通用异步收发器 (UART)

PY32F092 包含 2 个通用异步收发器 (UART) ，

- 支持 5/6/7/8/9 位串行数据
- 支持 1/2 位 STOP 位 (5 位数据时：1/1.5 位 STOP)
- 支持发送地址/数据
- 支持固定奇偶校验
- 支持 break 帧

- 起始位错误检测
- 支持可编程分数波特率
- 支持 Tx/Rx pin 互换
- 支持大小端切换 MSB FIRST 功能
- 全双工异步通信
- NRZ 标准格式
- 支持 DMA 传输
- 支持 4 位小数波特率

2.24. 低功耗通用异步收发器 (LPUART)

PY32F092 包含 2 个低功耗通用异步收发器 (LPUART)，支持 Sleep 和 Stop 模式唤醒，特性如下：

- 全双工异步通讯
- NRZ 标准模式
- 波特率可编程
- 32.768 kHz 时钟，波特率范围 300 ~ 9600 Baud，更高波特率需要更高时钟频率支持
- 双时钟域：PCLK 及专用 kernel 时钟
- Word 长度可配置 (7/8/9 bits)
- 可配置 MSB 或者 LSB first 移位
- STOP 位数可配置 (1/2 bit STOP)
- 单线半双工通讯
- 支持 DMA 连续传输
- 传送和接收独立使能
- 独立发送/接收信号极性控制
- Tx/Rx 引脚可以互换
- 支持硬件 RS-485/modem 流控制
- 奇偶校验控制：发送时产生奇偶校验位，接收时奇偶校验
- 错误标志：
 - Overrun 错误
 - 噪声
 - 帧结构错误
 - 奇偶校验错误
- 中断源标志
 - CTS 改变
 - 发送寄存器空
 - 发送完成

- 接收数据寄存器非空
- 检测到总线空闲
- 溢出错误
- 帧错误
- 噪音操作
- 校验错误
- 地址字节匹配
- 支持 5/6/7/8/9 位串行数据
- 支持 Stop/Sleep/Low-power run/Low-power sleep 低功耗模式唤醒

2.25. 串行外设接口 SPI

PY32F092 包含 2 个 SPI/I²S 模块。

串行外设接口 (SPI) 允许芯片与外部设备以半双工、全双工、单工同步的串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟 (SCK)。接口还能以多主配置方式工作。

SPI 特性如下：

- Master 或者 slave 模式
- 3 线全双工同步传输
- 2 线半双工同步传输 (有双向数据线)
- 2 线单工同步传输 (无双向数据线)
- 8 位或者 16 位传输帧选择
- 支持多主模式
- 8 个主模式波特率预分频系数 (最大为 $f_{PCLK}/2$)
- 从模式频率 (最大为 $f_{PCLK}/2$)
- 主模式和从模式下均可以由软件或硬件进行 NSS 管理：主/从操作模式的动态改变
- 可编程的时钟极性和相位
- 可编程的数据顺序，MSB 在前或 LSB 在前
- 可触发中断的专用发送和接收标志
- SPI 总线忙状态标志
- 支持 Motorola 和 TI 模式
- 可引起中断的主模式故障、过载以及 CRC 错误标志
- 2 个具备 DMA 能力的深度为 4，宽度为 16 bit (当数据帧设置为 8 bit 时，宽度为 8 bit) 的嵌入式 Rx 和 Tx FIFOs

内部集成音频 (I²S)：

- 单工通信 (仅发送或接收)
- 主或者从操作

- 8 位线性可编程预分频器，获得精确的音频采样频率（8 kHz 到 96 kHz）
- 数据格式可以是 16 位，24 位或者 32 位
- 音频信道固定数据包帧为 16 位（16 位数据帧）或 32 位（16、24 或 32 位数据帧）
- 可编程的时钟极性（稳定态）
- 从发送模式下的下溢标志位、接收模式下的上溢标志位（主或从），以及接收和发送模式下的帧错误标志（仅适用于从机）
- 16 位数据寄存器用来发送和接收，在通道两端各有一个寄存器
- 支持的 I²S 协议：
 - I²S 飞利浦标准
 - MSB 对齐标准（左对齐）
 - LSB 对齐标准（右对齐）
 - PCM 标准（16 位通道帧上带长或短帧同步或者 16 位数据帧扩展为 32 位通道帧）
- 数据方向总是 MSB 在先
- 发送和接收都具有 DMA 能力
- 主时钟可以输出到外部音频设备，比率固定为 256 x fs（fs 为音频采样频率）

2.26. 控制器局域网（CANFD）

PY32F092 包含 1 个 CANFD 通信接口模块。

CAN 模块符合 ISO 11898-1: 2015（CAN 协议规范第 2.0 版 A、B 部分）和 CAN FD 协议规范第 1.0 版（CAN with Flexible Data-Rate Specification Version 1.0）。

0.8KB 的消息 RAM 存储器可实现接收过滤器（Rx Filter）、接收 FIFO（Rx FIFO）、接收缓冲区（Rx Buffer）、发送事件 FIFO（Tx Event FIFO）、发送缓冲区（Tx Buffer）功能。

- 适用 ISO 11898-1:2015 标准
- CAN FD 最多支持收发 64 个数据字节
- 支持 CAN 错误日志
- 支持 AUTOSAR 和 SAE J1939
- 支持接收过滤功能
- 两个可配置的接收 FIFO
- 接收到高优先级消息时单独发出信号指示
- 最多 3 个专用接收缓冲区
- 最多 3 个专用发送缓冲区
- 可配置的发送 FIFO 或队列
- 可配置的发送事件 FIFO
- 主机 CPU 可直接访问消息 RAM
- 支持可编程回环测试模式

- 支持可屏蔽模块中断
- 两个时钟域：CAN 内核时钟和 APB 总线接口时钟
- 支持调试

2.27. SWD

ARM SWD 接口允许串口调试工具连接到 PY32F092。

Puya Confidential

3. 引脚配置

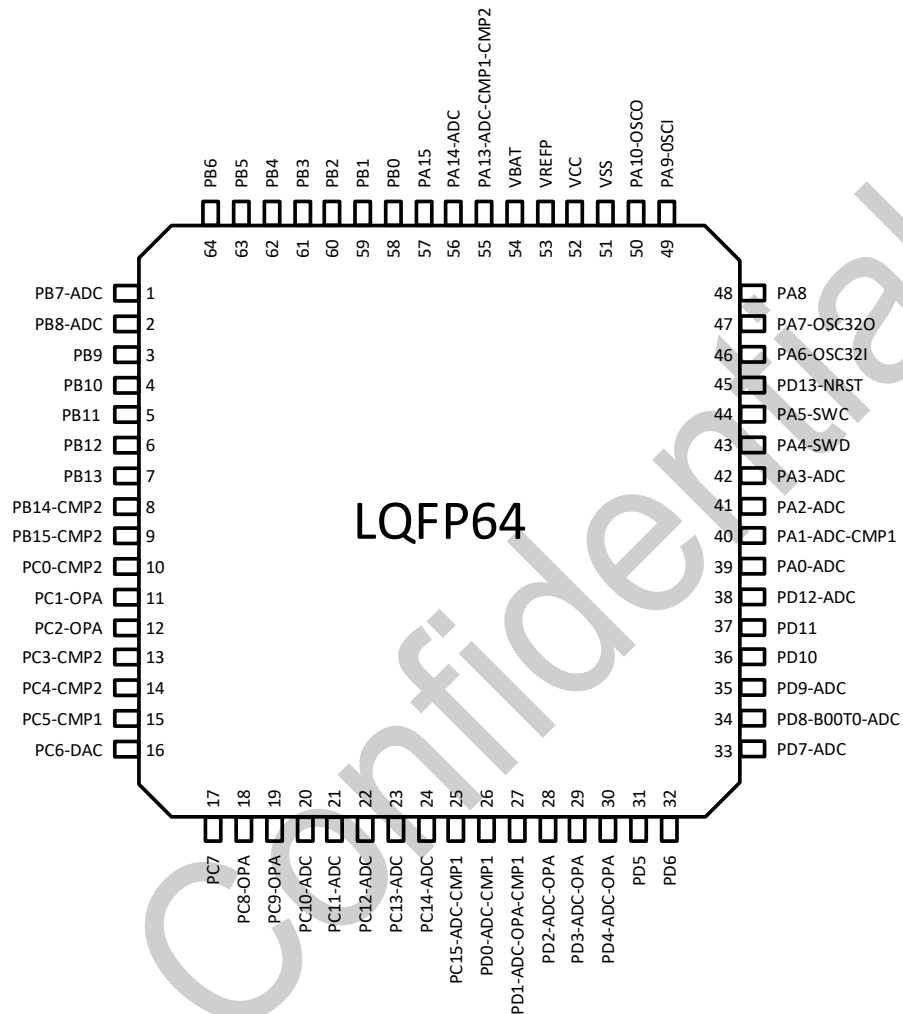


图 3-1 LQFP64 PY32F092R2CT7 Pinout2 (Top view)

表 3-1 引脚定义的术语和符号

类型	符号	定义
端口类型	S	Supply 引脚
	G	Ground 引脚
	I	Input-only 引脚
	I/O	Input/output 引脚
	NC	无定义
端口结构	COM	标准 5 V 端口，支持模拟输入输出功能
	NRST	复位端口，内部带弱上拉电阻，不支持模拟输入输出功能
	COM_L	LED COM 端口，支持 120 mA 灌电流，支持模拟输入输出功能
	COM_C	LED SEG 端口，支持恒流驱动，支持模拟输入输出功能
	COM_F	具有模拟输入功能的 I ² C Fm+
	COM_T	Tolerant 端口，允许输入电压范围大于 V _{CC}
	COM_FT	具有模拟输入功能的 I ² C Fm+，且支持 Tolerant 端口功能
注		- 除非有其他说明，不然所有端口都在复位期间和复位释放之后，作为浮空的输入
端口功能	复用功能	- 通过 GPIOx_AFR 寄存器选择的功能
	附加功能	- 通过外设寄存器直接选择或使能的功能

3.1. 引脚定义

表 3-2 引脚定义

封装	复位	端口类型	端口结构	端口功能	
LQFP64 R2				复用功能	附加功能
39	PA0 ⁽⁷⁾	I/O	COM	USART2_TX TIM1_CH3 LPTIM1_OUT_IN1 COMP2_OUT	ADC0
40	PA1	I/O	COM	TIM1_CH4 TIM1_CH3N TIM3_ETR TIM16_BRK LPTIM2_OUT_IN1 WKUP4	ADC1 COMP1_INM2
41	PA2	I/O	COM	SPI1_NSS/I2S1_WS TIM15_CH2 TIM15_CH1_ETR TIM15_BRK	ADC2
42	PA3	I/O	COM	SPI1_SCK/I2S1_CK TIM2_CH1_ETR	ADC3
43	PA4-SWDIO ^{(2) (3)}	I/O	COM_T	DEBUG-SWD IR_OUT	-

封装	复位	端口类型	端口结构	端口功能	
LQFP64 R2				复用功能	附加功能
44	PA5-SWCLK ^{(2) (3)}	I/O	COM_T	DEBUG-SWC WKUP5	-
45	PD13-NRST ⁽¹⁾	I/O	NRST	USART1_CK TIM2_CH3	-
46	PA6 ⁽⁵⁾⁽⁶⁾	I/O	COM	USART1_TX USART1_CTS TIM1_BRK TIM2_CH4 TIM15_CH1 EVENTOUT	OSC32IN
47	PA7 ⁽⁵⁾⁽⁶⁾	I/O	COM	TIM1_CH1 EVENTOUT	OSC32OUT
48	PA8 ⁽⁵⁾⁽⁶⁾	I/O	COM	RTC_OUT/TAMPIN	-
49	PA9	I/O	COM	USART1_RX USART1_TX TIM15_ETR TIM15_CH1 EVENTOUT	OSCIN
50	PA10	I/O	COM	USART1_RX USART1_TX TIM15_CH2	OSCOUT
51	V _{SS}	G	-	Ground	

封装	复位	端口类型	端口结构	端口功能	
LQFP64 R2				复用功能	附加功能
52	V _{CC}	S	-	-	
53	V _{REFP} ⁽⁶⁾	S	-	-	
54	V _{BAT}	S	-	-	
55	PA13	I/O	COM_F	USART1_RTS	ADC19 COM0 COMP1_INM3 COMP2_INM1
				I2C1_SCL	
				I2C2_SCL	
				TIM1_BRK	
				PWM_CH1	
				EVENTOUT	
				WKUP6	
56	PA14	I/O	COM_F	USART2_RX	ADC20 COM1
				USART2_CTS	
				I2C1_SDA	
				I2C2_SDA	
				TIM15_CH1	
				PWM_CH1N	
				COMP2_OUT	
				MCO	
				EVENTOUT	
57	PA15	I/O	COM_F	USART2_TX	COM2
				USART2_RTS	
				UART1_TX	

封装	复位	端口类型	端口结构	端口功能	
LQFP64 R2				复用功能	附加功能
				UART1_RX	
				I2C1_SMBA	
				TIM15_CH2	
				TIM16_CH1	
				PWM_CH3	
58	PB0	I/O	COM_F	TIM16_CH1N	COM3
				USART2_CK	
				UART1_TX	
				UART1_RX	
				I2C2_SMBA	
				SPI2_NSS/I2S_WS	
				PWM_CH3	
				PWM_CH4	
				EVENTOUT	
				PVD_OUT	
59	PB1	I/O	COM	SPI2_SCK/I2S2_CK	COM4/SEG36
				TIM2_CH3	
				TIM2_CH1_ETR	
				TIM16_BRK	
				PWM_CH4	
				EVENTOUT	
60	PB2	I/O	COM_L	SPI2_MISO/I2S2_MCK	COM5/ SEG37

封装	复位	端口类型	端口结构	端口功能	
LQFP64 R2				复用功能	附加功能
			COM_C	LPUART1_TX	
				TIM15_ETR	
				LPTIM1_OUT_IN1	
				EVENTOUT	
61	PB3	I/O	COM_L COM_C	SPI2_NSS/I2S_WS	COM6/SEG38
				SPI2_MOSI/I2S2_SD	
				LPUART1_TX	
				TIM2_CH2	
				LPTIM2_OUT	
				LPTIM2_IN1	
				EVENTOUT	
62	PB4	I/O	COM_F COM_L COM_C	SPI2_SCK/I2S2_CK	COM7/SEG39
				I2C1_SCL	
				I2C2_SCL	
				TIM1_BRK	
				TIM2_CH3	
				EVENTOUT	
				WKUP7	
63	PB5(SWCLK) ⁽³⁾	I/O	COM_F COM_L COM_C	SPI2_MOSI/I2S2_SD	SEG0
				UART1_RX	
				I2C1_SDA	
				I2C2_SDA	

封装				端口功能	
LQFP64 R2	复位	端口类型	端口结构	复用功能	附加功能
				TIM2_CH4	
				DEBUG-SWC	
64	PB6(SWDIO) ⁽³⁾	I/O	COM_L COM_C	SPI2_MISO/I2S2_MCK	SEG1
				UART1_TX	
				TIM1_CH3	
				TIM2_ETR	
				EVENTOUT	
				DEBUG-SWD	
1	PB7	I/O	COM_L COM_C	SPI1_MISO/I2S_MCK	ADC4 SEG2
				SPI1_NSS/I2S_WS	
				TIM1_CH4	
				TIM1_ETR	
				EVENTOUT	
2	PB8	I/O	COM_F COM_L COM_C	SPI1_MOSI/I2S1_SD	ADC5 SEG3
				USART2_CTS	
				UART1_RX	
				LPUART1_RX	
				I2C1_SDA	
				I2C2_SDA	
				TIM1_CH4	
				TIM2_ETR	
				EVENTOUT	

封装				端口功能	
LQFP64 R2	复位	端口类型	端口结构	复用功能	附加功能
3	PB9	I/O	COM_F COM_L COM_C	SPI1_SCK/I2S1_CK USART1_TX USART2_RTS UART1_TX LPUART1_TX I2C1_SCL I2C2_SCL TIM1_BRK TIM2_CH4 PWM_BRK LPTIM1_ETR IR_OUT COMP1_OUT MCO	SEG4
4	PB10	I/O	COM_C	SPI1_NSS/I2S1_WS TIM2_CH1 TIM15_CH1_ETR LPTIM2_IN2 EVENTOUT WKUP0	SEG5
5	PB11	I/O	COM_C	SPI2_NSS/I2S2_WS USART1_RX	SEG6

封装				端口功能	
LQFP64 R2	复位	端口类型	端口结构	复用功能	附加功能
				LPUART1_CTS	
				TIM2_CH1_ETR	
6	PB12	I/O	COM_F COM_C	SPI1_MISO/I2S1_MCK	SEG7
				SPI2_SCK/I2S2_CK	
				USART1_TX	
				USART2_TX	
				LPUART1_RTS_DE	
				I2C1_SCL/I2C1_SDA	
				I2C2_SCL/I2C2_SDA	
				TIM17_CH1	
				LPTIM1_ETR	
				TIM1_CH1	
7	PB13	I/O	COM_F COM_C	SPI1_MOSI/I2S1_SD	SEG8
				SPI2_MOSI/SPI2_SD	
				USART2_RX	
				UART1_RX/UART2_RX	
				LPUART1_RX	
				I2C1_SCL/I2C1_SDA	
				I2C2_SCL/I2C2_SDA	
				TIM1_CH1N	
				TIM17_CH1	
				LPTIM1_ETR	

封装	复位	端口类型	端口结构	端口功能	
LQFP64 R2				复用功能	附加功能
				MCO	
				EVENTOUT	
8	PB14	I/O	COM_C	SPI2_MISO/I2S2_MCK	SEG9 COMP2_INP1
				USART2_TX	
				UART1_TX/UART2_TX	
				LPUART1_TX	
				TIM1_CH1	
				TIM17_BRK	
				RTC_REFIN	
				LPTIM2_IN2	
				EVENTOUT	
				EVENTOUT	
9	PB15	I/O	COM_C	SPI2_NSS/I2S2_WS	SEG10 COMP2_INM2
				USART2_CK	
				TIM2_CH1_ETR	
				TIM3_CH3	
				EVENTOUT	
10	PC0	I/O	COM_C	USART2_TX	SEG11 COMP2_INM3
				TIM2_CH3	
				TIM3_CH4	
				TIM15_CH1_ETR	
				PWM_BRK	
				EVENTOUT	

封装	复位	端口类型	端口结构	端口功能	
LQFP64 R2				复用功能	附加功能
11	PC1	I/O	COM_C	SPI1_NSS/I2S1_WS USART2_CTS CAN_RX PWM_CH1	SEG12 OPA_INM2
12	PC2	I/O	COM	SPI1_SCK/I2S1_CK SPI2_MISO/I2S2_MCK TIM15_CH1N TIM16_BRK CAN_TX PWM_CH1N	SEG13 OPA_INP2
13	PC3	I/O	COM	SPI1_MISO/I2S1_MCK SPI2_NSS/I2S2_WS USART1_CTS UART1_TX/UART2_TX UART1_RX/UART2_RX TIM1_CH4 TIM16_CH1N PWM_CH2N TIM15_CH1 LPTIM1_IN2 LPTIM2_OUT_IN1	SEG14 COMP2_INP2
14	PC4	I/O	COM	SPI1_MOSI/I2S1_SD	SEG15

封装	复位	端口类型	端口结构	端口功能	
LQFP64 R2				复用功能	附加功能
				SPI2_SCK/I2S2_CK	COMP2_INP3
				USART1_RTS	
				UART1_TX/UART2_TX	
				UART1_RX/UART2_RX	
				TIM1_CH3N	
				TIM16_CH1	
				PWM_ETR_HS	
				LPTIM1_IN2	
				LPTIM1_OUT_IN1	
15	PC5	I/O	COM_F	SPI3_SCK/I2S2_CK	SEG16 COMP1_INM1
				USART1_CTS	
				LPUART1_TX	
				LPUART1_RX	
				I2C1_SCL	
				I2C2_SCL	
				TIM1_CH3	
				TIM1_ETR	
				WKUP1	
				LPTIM1_IN1	
				EVENTOUT	
16	PC6	I/O	COM_F	SPI2_MOSI/I2S2_SD	SEG17 DAC_OUT
				LPUART1_TX	

封装	复位	端口类型	端口结构	端口功能	
LQFP64 R2				复用功能	附加功能
				LPUART1_RX	
				LPUART2_RX	
				USART1_RTS	
				UART2_RX	
				I2C1_SCL/I2C1_SDA	
				I2C2_SCL/I2C2_SDA	
				TIM1_CH3N	
				TIM3_CH4	
				LPTIM1_OUT_IN1	
				EVENTOUT	
17	PC7	I/O	COM_F	SPI2_MISO/I2S2_MCK	SEG18
				USART2_TX	
				UART2_TX	
				LPUART1_TX	
				LPUART2_TX	
				I2C1_SDA	
				I2C2_SDA	
				TIM15_ETR	
				TIM16_CH1N	
				EVENTOUT	
18	PC8	I/O	COM	SPI1_MISO/I2S1_MCK	SEG19 OPA_OUT3
				USART1_RX	

封装				端口功能	
LQFP64 R2	复位	端口类型	端口结构	复用功能	附加功能
				USART1_TX	
				UART1_RX	
				TIM1_BRK	
				TIM15_CH2	
				LPTIM2_OUT_IN1	
				CAN_RX	
				EVENTOUT	
19	PC9	I/O	COM_F	SPI1_MOSI/I2S1_SD	SEG20 OPA_OUT4
				USART1_RX	
				USART1_TX	
				USART2_CK	
				UART1_TX	
				I2C1_SDA	
				I2C2_SDA	
				TIM15_CH1	
				TIM15_ETR	
				LPTIM2_ETR	
				CAN_TX	
				EVENTOUT	
20	PC10	I/O	COM_F	SPI1_SCK/I2S1_CK	ADC21 SEG21
				USART2_RX	
				USART2_TX	

封装				端口功能	
LQFP64 R2	复位	端口类型	端口结构	复用功能	附加功能
				LPUART2_CTS	
				I2C1_SCL	
				I2C2_SCL	
				TIM1_CH1N	
				TIM2_CH1_ETR	
				EVENTOUT	
				PVD_OUT	
				TIM3_CH3	
				WKUP2	
21	PC11	I/O	COM	SPI1_NSS/I2S1_WS	ADC22 SEG22
				SPI2_MOSI/I2S2_SD	
				USART2_RX	
				USART2_TX	
				LPUART2_RTS_DE	
				TIM1_CH2N	
				TIM3_CH4	
				TIM3_ETR	
22	PC12	I/O	COM_F	USART2_CK	ADC6 SEG23
				LPUART1_RX	
				SPI1_NSS/I2S1_WS	
				UART2_RX	
				I2C1_SCL/I2C1_SDA	

封装	复位	端口类型	端口结构	端口功能	
LQFP64 R2				复用功能	附加功能
				I2C2_SCL/I2C2_SDA	
				TIM1_CH1	
				TIM3_CH3	
				PWM_CH3	
				TIM3_ETR	
23	PC13	I/O	COM_F	USART2_TX	ADC7 SEG24
				UART2_TX	
				LPUART2_TX	
				I2C1_SCL/I2C1_SDA	
				I2C2_SCL/I2C2_SDA	
				TIM1_CH2	
				TIM2_CH3	
				TIM17_BRK	
				PWM_CH4	
				EVENTOUT	
				PVD_OUT	
24	PC14	I/O	COM_F	SPI1_NSS/I2S1_WS	ADC8 SEG25
				I2C1_SCL/I2C1_SDA	
				I2C2_SCL/I2C2_SDA	
				TIM1_CH3	
				TIM2_CH4	
				TIM15_BRK	

封装				端口功能	
LQFP64 R2	复位	端口类型	端口结构	复用功能	附加功能
				EVENTOUT	
25	PC15	I/O	COM_F	SPI1_SCK/I2S1_CK I2C1_SCL/I2C1_SDA I2C2_SCL/I2C2_SDA TIM1_CH4 TIM2_ETR TIM15_CH1 PWM_CH2	ADC9 SEG26 COMP1_INP1
26	PD0	I/O	COM	SPI1_NSS/I2S1_WS USART1_CK UART1_TX UART1_RX TIM1_CH3N TIM15_CH1N PWM_CH2N MCO	ADC10 SEG27 COMP1_INP2
27	PD1	I/O	COM	SPI1_SCK/I2S1_CK USART1_TX UART1_TX UART1_RX TIM2_ETR TIM3_ETR	ADC11 SEG28 COMP1_INP3 OPA_OUT2

封装				端口功能	
LQFP64 R2	复位	端口类型	端口结构	复用功能	附加功能
				PWM_CH1	
28	PD2	I/O	COM	SPI1_MISO/I2S1_MCK	ADC12 SEG29 OPA_INM1
				USART1_RX	
				USART1_TX	
				UART2_RX	
				UART2_TX	
				LPUART2_CTS	
				TIM1_CH2	
				TIM2_CH1	
				TIM3_CH1	
				TIM15_BRK	
29	PD3	I/O	COM	SPI1_MOSI/I2S1_SD	ADC13 SEG30/VLD0 OPA_INP1
				USART1_RX	
				USART1_TX	
				UART2_RX	
				UART2_TX	
				LPUART2_RTS_DE	
				TIM1_CH2N	
				TIM2_CH2	
				TIM3_CH2	
				PWM_ETR	
				EVENTOUT	

封装	复位	端口类型	端口结构	端口功能	
LQFP64 R2				复用功能	附加功能
30	PD4	I/O	COM	USART1_CK TIM1_CH1N TIM1_ETR PWM_CH1N EVENTOUT WKUP3	ADC14 SEG31/VLCD1 OPA_OUT1
31	PD5	I/O	COM_F	SPI2_NSS/I2S2_WS USART1_RX LPUART2_RX I2C1_SMBA PWM_BRK LPTIM1_OUT_IN1	SEG32/VLCD2
32	PD6	I/O	COM_F	SPI2_SCK/I2S2_CK USART1_TX LPUART2_TX I2C1_SCL I2C2_SCL TIM1_CH3N LPTIM2_OUT_IN1 EVENTOUT	SEG33/VLCD3
33	PD7	I/O	COM_F	SPI1_MOSI/I2S1_SD SPI2_MOSI/I2S2_SD	ADC15 SEG34/VLCDH

封装	复位	端口类型	端口结构	端口功能	
LQFP64 R2				复用功能	附加功能
				USART2_RX	
				I2C1_SDA	
				I2C2_SDA	
				TIM15_CH1_ETR	
				EVENTOUT	
34	PD8-BOOT0 ⁽⁴⁾	I/O	COM	SPI2_MISO/I2S2_MCK	ADC16
				USART2_TX	
				TIM2_CH1_ETR	
				TIM3_CH1	
35	PD9	I/O	COM_F	USART2_RX	ADC23 SEG35
				I2C2_SMBA	
				TIM3_CH2	
				TIM15_CH1N	
				EVENTOUT	
36	PD10	I/O	COM_FT	USART1_RX	-
				USART2_TX	
				UART2_RX	
				LPUART1_CTS	
				LPUART2_RX	
				TIM17_CH1N	
				I2C1_SCL/I2C1_SDA	
				I2C2_SCL/I2C2_SDA	

封装	复位	端口类型	端口结构	端口功能	
LQFP64 R2				复用功能	附加功能
				PWM_CH2	
				LPTIM2_IN2	
				EVENTOUT	
37	PD11	I/O	COM_FT	USART1_TX	-
				UART2_TX	
				LPUART1_RTS_DE	
				LPUART2_TX	
				I2C1_SCL/I2C1_SDA	
				I2C2_SCL/I2C2_SDA	
				TIM3_CH3	
				TIM17_CH1	
				PWM_CH2N	
38	PD12	I/O	COM_F	USART2_RX	ADC24
				COMP1_OUT	
				TIM3_CH4	
				I2C2_SMBA	
				TIM17_CH1	

- 选择 PD13 或者 NRST 通过 option bytes 进行配置。
- 复位后 option byte 配置 0/0 时（芯片出厂 default 状态），PA5 和 PA4 两个 pin 被配置为 SWCLK 和 SWDIO。
- PA4、PA5、PB6、PB5 可以通过 option 配置选择 GPIO 功能还是 SWC/SWD 功能，PA4、PB6 内部上拉电阻、PA5、PB5 内部下拉电阻被激活。

option[1:0]	PA5	PA4	PB6	PB5
0/0(default)	SWCLK	SWDIO	GPIO	GPIO

option[1:0]	PA5	PA4	PB6	PB5
0/1	GPIO	GPIO	SWDIO	SWCLK
1/0	SWCLK	GPIO	SWDIO	GPIO
1/1	GPIO	SWDIO	GPIO	SWCLK

4. PD8-BOOT0 默认复用模式，且下拉使能。
5. V_{BKP} 域的 PA6、PA7、PA8 通过电源开关供电。由于该开关的拉电流能力有限(3 mA)，因此在输出模式下使用 GPIO PA6 到 PA8 时存在以下限制：
 - 1) 速率不得超过 2 MHz，最大负载为 30 pF。
 - 2) 这些 I/O 不能用作电流源（如用于驱动 LED）。
6. 仅 V_{BAT} 供电时， V_{BKP} 域的 PA6、PA7、PA8 状态可能为模拟模式、输入模式、推挽上拉、推挽下拉，建议如下：
 - 1) 在 PA6、PA7、PA8 端口加对地 1 ~ 10 M 级电阻，避免引脚为输入模式时芯片漏电。
 - 2) 如 1)中建议电阻值选择，需结合应用考虑推挽上拉时的端口电流。
7. 使用 V_{REFBUF} 功能时，PA0 需外接 1 μ F 电容，如 PA0 未引出，ADC/DAC 不能使用 V_{REFBUF} 电压作为参考源。

3.2. 端口 A 复用功能映射

表 3-3 端口 A 复用功能映射

PortA	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA0	-	TIM1_CH3	LPTIM1_OUT_IN1	-	-	-	-	-	-	-	-	USART2_TX	COMP2_OUT	-	-	-
PA1	TIM1_CH4	LPTIM2_OUT_IN1	TIM16_BRK	-	-	-	-	-	-	-	TIM1_CH3N	TIM2_ETR	-	-	-	-
PA2	TIM15_CH2	TIM15_CH1_ETR	TIM15_BRK	-	-	-	-	-	-	-	-	SPI1_NSS/ I2S1_WS	-	-	-	-
PA3	TIM2_CH1_ETR	-	-	-	-	-	-	-	-	-	-	SPI1_SCK/ I2S1_CK	-	-	-	-
PA4	DEBUG_SWJ	-	-	-	-	-	-	-	-	-	-	-	-	-	IR_OUT	-
PA5	DEBUG_SWJ	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PA6	TIM1_BRK	-	-	-	-	-	-	-	TIM15_CH1	-	USART1_CTS	USART1_TX	TIM2_CH4	-	-	EVENTOUT
PA7	-	-	-	-	-	-	-	-	TIM1_CH1	-	-	-	-	-	-	EVENTOUT
PA8	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PA9	TIM15_ETR	USART1_TX	USART1_RX	-	-	-	-	-	TIM15_CH1	-	-	-	-	-	-	EVENTOUT
PA10	USART1_TX	USART1_RX	-	-	-	-	-	-	TIM15_CH2	-	-	-	-	-	-	-
PA11	LPTIM2_OUT_IN1	LPTIM1_OUT_IN1	TIM15_CH1	I2C1_SCL	I2C1_SDA	I2C2_SCL	I2C2_SDA	-	TIM1_ETR	-	-	SPI1_MISO/ I2S1_MCK	-	-	-	-
PA12	TIM15_CH1	I2C1_SCL	I2C1_SDA	I2C2_SCL	I2C2_SDA	-	-	TIM1_CH1N	TIM15_CH1N	TIM15_ETR	-	SPI1_MOSI/ I2S1_SD	-	-	-	-
PA13	-	PWM_CH1	I2C1_SCL	I2C2_SCL	-	-	-	-	-	-	USART1_RTS	-	-	TIM1_BRK	-	EVENTOUT
PA14	MCO	PWM_CH1N	I2C1_SDA	I2C2_SDA	-	-	-	-	-	COMP2_OUT	USART2_CTS	USART2_RX	TIM15_CH1	-	-	EVENTOUT
PA15	TIM16_CH1	UART1_TX	UART1_RX	I2C1_SMBA	-	-	-	PWM_CH3	-	-	USART2_RTS	USART2_TX	TIM15_CH2	-	-	-

3.3. 端口 B 复用功能映射

表 3-4 端口 B 复用功能映射

PortB	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB0	TIM16_CH1N	UART1_TX	UART1_RX	I2C2_SMBA	-	-	-	PWM_CH4	-	-	USART2_CK	SPI2_NSS/ I2S2_WS	PWM_CH3	-	PVD_OUT	EVENTOUT
PB1	TIM2_CH3	TIM2_CH1_ ETR	TIM16_BRK	-	-	-	-	-	-	-	-	SPI2_SCK/ I2S2_CK	PWM_CH4	-	-	EVENTOUT
PB2	-	-	LPTIM1_OUT _IN1	LPUART1_TX	-	-	-	-	-	-	-	SPI2_MISO/ I2S2_MCK	TIM15_ETR	-	-	EVENTOUT
PB3	-	-	LPTIM2_OUT	LPUART1_TX	SPI2_NSS/ I2S2_WS	-	-	-	-	TIM2_CH2	-	SPI2_MOSI/ I2S2_SD	LPTIM2_IN1	-	-	EVENTOUT
PB4	-	-	TIM2_CH3	SPI2_SCK/ I2S2_CK	I2C1_SCL	-	I2C2_SCL	-	-	-	-	TIM1_BRK	-	-	-	EVENTOUT
PB5	DEBUG_SWC	-	TIM2_CH4	SPI2_MOSI/ I2S2_SD	I2C1_SDA	-	I2C2_SDA	-	-	-	-	UART1_RX	-	-	-	-
PB6	DEBUG_SWD	-	TIM1_CH3	TIM2_ETR	SPI2_MISO/ I2S2_MCK	-	-	-	-	-	-	UART1_TX	-	-	-	EVENTOUT
PB7	-	-	-	TIM1_CH4	TIM1_ETR	SPI1_MISO/ I2S1_MCK	SPI1_NSS/ I2S1_WS	-	-	-	-	-	-	-	-	EVENTOUT
PB8	-	-	-	TIM1_CH4	TIM2_ETR	SPI1_MOSI/ I2S1_SD	I2C1_SDA	-	I2C2_SDA	-	USART2_CTS	UART1_RX	LPUART1_ RX	-	-	EVENTOUT
PB9	MCO	-	TIM2_CH4	TIM1_BRK	SPI1_SCK/ I2S1_CK	I2S2_SCL	-	I2C2_SCL	USART2_TX/ USART2_7816_ IO	COMP1_OUT	USART2_RTS	UART1_TX	LPUART1_TX	PWM_BRK	LPTIM1_ ETR	IR_OUT
PB10	-	TIM15_CH1_ ETR	SPI1_NSS/ I2S1_WS	-	LPTIM2_IN2	-	-	-	-	-	-	-	-	-	-	EVENTOUT
PB11	-	TIM2_CH1_ ETR	SPI2_NSS/ I2S2_WS	-	-	-	-	-	-	-	LPUART1_CTS	USART1_RX	-	-	-	-
PB12	-	TIM1_CH1	USART2_TX	SPI2_SCK/ I2S2_CK	SPI1_MISO/ I2S1_MCK	I2C1_SCL	I2C1_SDA	-	I2C2_SCL	I2C2_SDA	LPUART1_RTS_ DE	USART1_TX	-	TIM17_CH1	LPTIM1_ ETR	-
PB13	MCO	TIM1_CH1N	USART2_RX	SPI2_MOSI/ I2S2_SD	SPI1_MOSI/ I2S1_SD	I2C1_SCL	I2C1_SDA	-	I2C2_SCL	I2C2_SDA	UART2_RX	UART1_RX	LPUART1_ RX	TIM17_CH1N	LPTIM2_ ETR	EVENTOUT
PB14	-	TIM1_CH1	USART2_TX	SPI2_MISO/ I2S2_MCK	LPTIM2_IN2	-	-	-	-	-	UART2_TX	UART1_TX	LPUART1_TX	TIM17_BRK	RTC_ REFIN	EVENTOUT
PB15	-	TIM2_CH1_ ETR	SPI2_NSS/ I2S_WS	-	-	-	-	-	-	-	USART2_CK	TIM3_CH3	-	-	-	EVENTOUT

3.4. 端口 C 复用功能映射

表 3-5 端口 C 复用功能映射

PortC	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PC0	-	TIM15_CH1_ETR	PWM_BRK	TIM2_CH3	-	-	-	-	-	-	USART2_TX/ USART2_7816_IO	TIM3_CH4	-	-	-	EVENTOUT
PC1	-	PWM_CH1	SPI1_NSS/ I2S1_WS	-	-	-	-	-	-	-	-	CAN_RX	-	USART2_CTS	-	-
PC2	PWM_CH1N	SPI1_SCK/ I2S1_CK	-	-	SPI2_MISO/ I2S2_MCK	-	-	-	-	-	-	CAN_TX	-	TIM15_CH1N	-	-
PC3	LPTIM2_OUT_IN1	TIM15_CH1	UART1_TX	UART1_RX	SPI1_MISO/ I2S1_MCK	-	-	-	UART2_TX	UART2_RX	USART1_CTS	SPI2_NSS/ I2S2_WS	LPTIM1_IN2	PWM_CH2N	TIM1_CH4	-
PC4	LPTIM1_OUT_IN1	TIM16_CH1	UART2_TX	UART2_RX	SPI1_MOSI/ I2S1_SD	-	-	-	UART2_TX	UART2_RX	USART1_RTS	SPI2_SCK/ I2S2_CK	LPTIM1_IN2	TIM1_CH3N	PWM_ETR_HI	-
PC5	TIM_CH3	TIM1_ETR	LPUART1_TX	LPUART1_RX	SPI2_SCK/ I2S2_CK	I2C1_SCL	-	-	I2C1_SCL	-	-	LPTIM1_IN1	-	USART1_CTS	-	EVENTOUT
PC6	TIM3_CH4	LPTIM1_OUT_IN1	LPUART1_TX	LPUART1_RX	SPI2_MOSI/ I2S2_SD	I2C1_SCL	I2C1_SDA	-	I2C2_SCL	I2C2_SDA	TIM1_CH3N	-	LPUART2_RX	USART1_RTS	UART2_RX	EVENTOUT
PC7	TIM15_ETR	TIM16_CH1N	LPUART1_TX	SPI2_MISO/ I2S2_MCK	I2C1_SDA	-	-	I2C2_SDA	-	-	-	-	LPUART2_TX	USART2_TX/ USART2_7816_IO	UART2_TX	EVENTOUT
PC8	TIM15_CH2	LPTIM2_OUT_IN1	TIM1_BRK	USART1_TX	USART1_RX	SPI1_MISO/ I2S1_MCK	CAN_RX	-	-	-	-	-	UART1_RX	-	-	EVENTOUT
PC9	TIM15_CH1	TIM15_ETR	USART1_TX	USART1_RX	SPI1_MOSI/ I2S1_SD	I2C1_SDA	CAN_TX	I2C2_SDA	-	-	USART2_CK	-	UART1_TX	-	LPTIM2_ETR	EVENTOUT
PC10	-	TIM3_CH3	TIM2_CH1_ETR	USART2_TX	USART2_RX	SPI1_SCK/ I2S1_CK	I2C1_SCL	I2C2_SCL	-	-	LPUART2_CTS	-	TIM1_CH1N	-	PVD_OUT	EVENTOUT
PC11	-	TIM3_CH4	TIM3_ETR	USART2_TX	USART2_RX	SPI1_NSS/ I2S1_WS	-	-	-	-	LPUART2_RTS_DE	SPI2_MOSI/ I2S2_SD	TIM1_CH2N	-	-	-
PC12	-	TIM3_CH3	TIM3_ETR	I2C1_SCL	I2C1_SDA	-	I2C2_SCL	I2C2_SDA	-	UART2_RX	USART2_CK	LPUART1_RX	TIM1_CH1	SPI1_NSS/ I2S1_WS	PWM_CH3	-
PC13	-	TIM2_CH3	TIM17_BRK	I2C1_SCL	I2C1_SDA	-	I2C2_SCL	I2C2_SDA	-	UART2_TX	USART2_TX/ USART2_RX/ USART2_7816_IO	LPUART2_TX	TIM1_CH2	PVD_OUT	PWM_CH4	EVENTOUT
PC14	-	TIM2_CH4	TIM15_BRK	I2C1_SCL	I2C1_SDA	-	I2C2_SCL	I2C2_SDA	-	-	-	SPI1_NSS/ I2S1_WS	TIM1_CH3	-	-	EVENTOUT
PC15	-	TIM2_ETR	TIM15_CH1	I2C1_SCL	I2C1_SDA	-	I2C2_SCL	I2C2_SDA	-	PWM_CH2	-	SPI1_SCK/ I2S1_CK	TIM1_CH4	-	-	-

3.5. 端口 D 复用功能映射

表 3-6 端口 D 复用功能映射

PortD	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PD0	MCO	TIM15_CH1N	UART1_TX	UART1_RX	-	-	-	-	-	PWM_CH2N	USART1_CK	SPI1_NSS/ I2S1_WS	TIM1_CH3N	-	-	-
PD1	-	TIM3_ETR	PWM_CH1	UART1_TX	UART1_RX	-	-	-	-	-	UART1_TX/ USART1_RX/ USART2_7816_ IO	SPI1_SCK/ I2S1_CK	TIM2_ETR	-	-	-
PD2	-	TIM3_CH1	TIM15_BRK	USART1_TX	USART1_RX	-	-	-	-	TIM1_CH2N	LPUART2_CTS	SPI1_MISO/ I2S1_MCK	TIM2_CH1	UART2_TX	UART2_RX	-
PD3	-	TIM3_CH2	PWM_ETR	USART1_TX	USART1_RX	-	-	-	-	TIM1_CH2N	LPUART2_RTS _DE	SPI1_MOSI/ I2S1_SD	TIM2_CH2	UART2_TX	UART2_RX	EVETNOUT
PD4	-	TIM1_CH1N	PWM_CH1N	-	-	-	-	-	-	-	USART1_CK	-	TIM1_ETR	-	-	EVETNOUT
PD5	PWM_BRK	SPI2_NSS/ I2S2_WS	-	I2C1_SMBA	-	-	-	-	LPTIM1_OUT_IN1	-	-	USART1_RX	LPUART2_RX	-	-	-
PD6	SPI2_SCK/ I2S2_CK	I2C1_SCL	I2C2_SCL	-	-	-	-	-	LPTIM2_OUT_IN1	TIM1_CH3N	-	USART1_TX	LPUART2_TX	-	-	EVETNOUT
PD7	TIM15_CH1_ ETR	USART2_RX	SPI2_MOSI/ I2S2_SD	I2C1_SDA	I2C2_SDA	-	-	-	-	-	-	-	SPI1_MOSI/ I2S1_SD	-	-	EVETNOUT
PD8	TIM2_CH1_ ETR	USART2_TX	SPI2_MISO/ I2S2_MCK	-	-	-	-	-	-	-	-	TIM3_CH1	-	-	-	-
PD9	-	TIM15_CH1N	USART2_RX	-	-	-	-	-	-	-	-	TIM3_CH2	-	I2C2_SMBA	-	EVETNOUT
PD10	-	TIM17_CH1N	USART2_TX	-	I2C1_SCL	I2C1_SDA	I2C1_SCL	I2C1_SDA	UART2_RX	PWM_CH2	LPUART1_CTS	USART1_RX	LPUART2_RX	-	LPTIM2_IN2	EVETNOUT
PD11	-	PWM_CH2N	-	-	I2C1_SCL	I2C1_SDA	I2C1_SCL	I2C1_SDA	UART2_TX	-	LPUART1_RTS _DE	USART1_TX	LPUART2_TX	TIM3_CH3	TIM17_CH1	-
PD12	-	TIM17_CH1	-	I2C2_SMBA	-	-	-	-	-	-	-	USART2_RX	COMP1_OUT	TIM3_CH4	-	-
PD13	-	-	-	-	-	-	-	-	-	-	-	USART1_CK	TIM2_CH3	-	-	-

4. 存储器映射

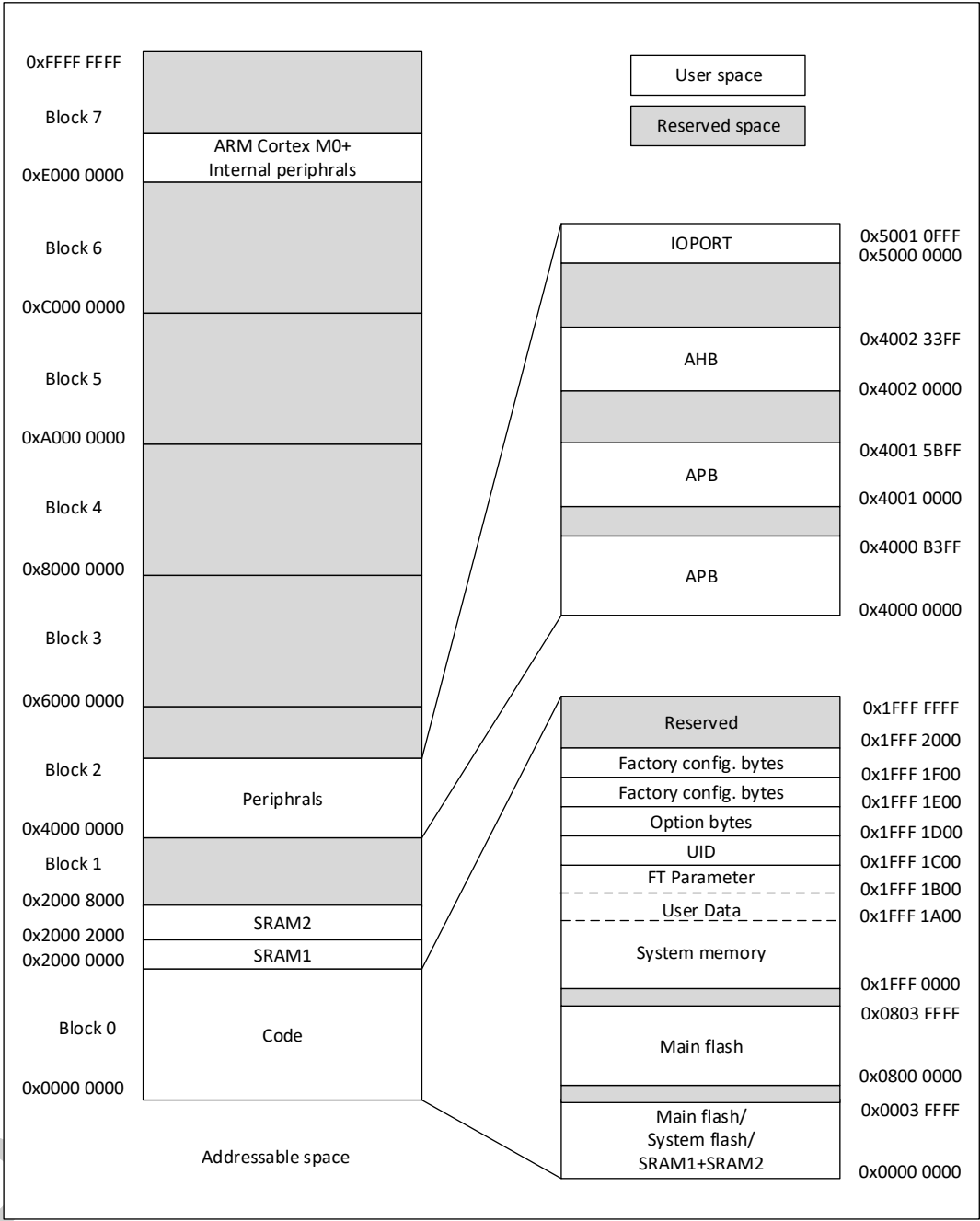


图 4-1 存储器映射

表 4-1 存储器地址

类型	边界地址	大小	存储区	描述
SRAM	0x2000 8000-0x3FFF FFFF	~511 MB	Reserved	
	0x2000 2000-0x2000 7FFF	24 KB	SRAM2	如果硬件上电配置 SRAM 为 8 KB, 则 SRAM 地址空间为 0x2000 0000-0x2000 1FFF
	0x2000 0000-0x2000 1FFF	8 KB	SRAM1	
Code	0x1FFF 2000-0x1FFF FFFF	56 KB	Reserved	
	0x1FFF 1F00-0x1FFF 1FFF	256 Bytes	Factory config. bytes	存放 trimming 数据
	0x1FFF 1E00-0x1FFF 1EFF	256 Bytes	Factory config. bytes	存放用户用到的 HSI trimming 数据、Flash 擦写时间配置参数、Ts 数据
	0x1FFF 1D00-0x1FFF 1DFF	256 Bytes	Option bytes	芯片软硬件 option bytes 信息
	0x1FFF 1C00-0x1FFF 1CFF	256 Bytes	UID	Unique ID
	0x1FFF 1B00-0x1FFF 1BFF	256 Bytes	FT	FT 信息
	0x1FFF 1A00-0x1FFF 1AFF	256 Bytes	User data bytes	用户区
	0x1FFF 0000-0x1FFF 19FF	6.5 KB	System memory	存放 Boot loader
	0x0804 0000-0x1FFE FFFF	~393 MB	Reserved	-
	0x0800 0000-0x0803 FFFF	256 KB	Main flash memory	-
	0x0004 0000-0x07FF FFFF	~8 MB	Reserved	-
	0x0000 0000-0x0003 FFFF	256 KB	根据 Boot 配置选择, 是: 1) Main flash memory 2) System flash memory 3) SRAM	-

表 4-2 外设寄存器地址

总线	边界地址	大小	外设
	0xE000 0000-0xE00F FFFF	1 MB	M0+
IOPORT	0x5000 1800-0x5FFF FFFF	~256 MB	Reserved
	0x5000 1400-0x5000 17FF	1 KB	Reserved
	0x5000 1000-0x5000 13FF	1 KB	Reserved
	0x5000 0C00-0x5000 0FFF	1 KB	GPIOD
	0x5000 0800-0x5000 0BFF	1 KB	GPIOC
	0x5000 0400-0x5000 07FF	1 KB	GPIOB
	0x5000 0000-0x5000 03FF	1 KB	GPIOA
AHB	0x4002 3400-0x4FFF FFFF	~	Reserved
	0x4002 3000-0x4002 33FF	1 KB	CRC
	0x4002 2400-0x4002 2FFF	~	Reserved
	0x4002 2000-0x4002 23FF	1 KB	Flash
	0x4002 1800-0x4002 1FFF	2 KB	Reserved
	0x4002 1400-0x4002 17FF	1 KB	Reserved

总线	边界地址	大小	外设
	0x4002 1000-0x4002 13FF	1 KB	RCC
	0x4002 0400-0x4002 0FFF	1 KB	Reserved
	0x4002 0000-0x4002 03FF	1 KB	DMA
APB	0x4001 5C00-0x4001 FFFF	32 KB	Reserved
	0x4001 5800-0x4001 5BFF	1 KB	MCUDBG
	0x4001 5000-0x4001 57FF	2 KB	Reserved
	0x4001 4C00-0x4001 4FFF	1 KB	PWM
	0x4001 4800-0x4001 4BFF	1 KB	TIM17
	0x4001 4400-0x4001 47FF	1 KB	TIM16
	0x4001 4000-0x4001 43FF	1 KB	TIM15
	0x4001 3C00-0x4001 3FFF	1 KB	Reserved
	0x4001 3800-0x4001 3BFF	1 KB	USART1
	0x4001 3400-0x4001 37FF	1 KB	Reserved
	0x4001 3000-0x4001 33FF	1 KB	SPI1
	0x4001 2C00-0x4001 2FFF	1 KB	TIM1
	0x4001 2800-0x4001 2BFF	1 KB	Reserved
	0x4001 2400-0x4001 27FF	1 KB	ADC
	0x4001 0C00-0x4001 23FF	6 KB	Reserved
	0x4001 0800-0x4001 0BFF	1KB	VREFBUF
	0x4001 0400-0x4001 07FF	1 KB	EXTI
	0x4001 0300-0x4001 03FF	1 KB	OPA
	0x4001 0200-0x4001 02FF		COMP1/COMP2
	0x4001 0000-0x4001 01FF		SYSCFG
	0x4000 B400-0x4000 FFFF	19 KB	Reserved
	0x4000 B000-0x4000 B3FF	1 KB	BKP(TAMP)
	0x4000 9C00-0x4000 AFFF	5 KB	Reserved
	0x4000 9800-0x4000 9BFF	1 KB	LPUART2
	0x4000 9400-0x4000 97FF	1 KB	LPTIM2
	0x4000 8400-0x4000 93FF	4 KB	Reserved
	0x4000 8000-0x4000 83FF	1KB	LPUART1
	0x4000 7C00-0x4000 7FFF	1 KB	LPTIM1
	0x4000 7800-0x4000 7BFF	1 KB	Reserved
	0x4000 7400-0x4000 77FF	1 KB	DAC
	0x4000 7000-0x4000 73FF	1 KB	PWR
	0x4000 6800-0x4000 6FFF	1 KB	Reserved
	0x4000 6400-0x4000 67FF	1KB	CAN
	0x4000 5C00-0x4000 63FF	2 KB	Reserved
	0x4000 5800-0x4000 5BFF	1 KB	I ² C2
	0x4000 5400-0x4000 57FF	1 KB	I ² C1
	0x4000 5000-0x4000 53FF	1 KB	Reserved

总线	边界地址	大小	外设
	0x4000 4C00-0x4000 4FFF	1KB	UART2
	0x4000 4800-0x4000 4BFF	1KB	UART1
	0x4000 4400-0x4000 47FF	1 KB	USART2
	0x4000 3C00-0x4000 43FF	2 KB	Reserved
	0x4000 3800-0x4000 3BFF	1 KB	SPI2
	0x4000 3400-0x4000 37FF	1 KB	Reserved
	0x4000 3000-0x4000 33FF	1 KB	IWDG
	0x4000 2C00-0x4000 2FFF	1 KB	WWDG
	0x4000 2800-0x4000 2BFF	1 KB	RTC
	0x4000 2400-0x4000 27FF	1 KB	LCD
	0x4000 1800-0x4000 23FF	3 KB	Reserved
	0x4000 1400 - 0x4000 17FF	1 KB	TIM7
	0x4000 1000 - 0x4000 13FF	1 KB	TIM6
	0x4000 0800-0x4000 0FFF	2 KB	Reserved
	0x4000 0400 - 0x4000 07FF	1 KB	TIM3
	0x4000 0000 - 0x4000 03FF	1 KB	TIM2

5. 电气特性

5.1. 测试条件

除非特殊说明，所有的电压都以 V_{SS} 为基准。

5.1.1. 最小值和最大值

除非特殊说明，通过在环境温度 $T_A = 25\text{ }^{\circ}\text{C}$ 和 $T_A = T_A(\text{max})$ 下进行的芯片量产测试筛选，保证在最坏的环境温度、供电电压和时钟频率条件下达到最小值和最大值。

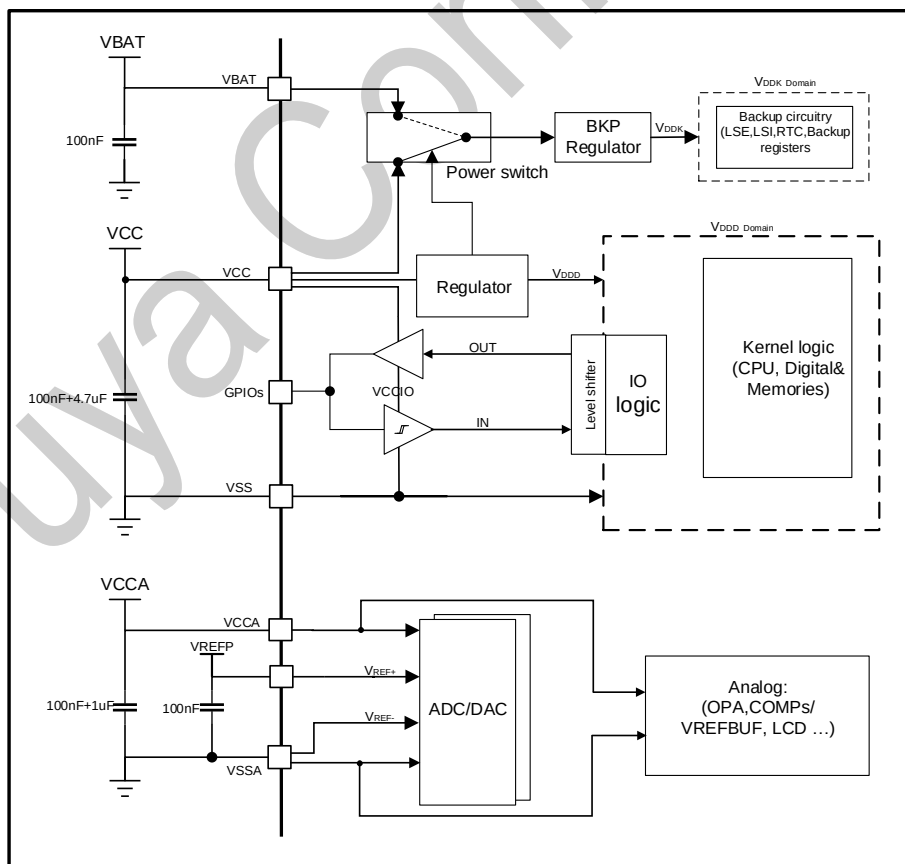
基于表格下方注解的电特性结果、设计仿真和/或工艺参数的数据，未在生产中进行测试。最小和最大数值参考了样品测试，取平均值再加或者减三倍的标准偏差。

5.1.2. 典型值

除非特殊说明，典型数据是基于 $T_A = 25\text{ }^{\circ}\text{C}$ 和 $V_{CC} = 3.3\text{ V}$ 。这些数据仅用于设计指导未经过测试。

典型的 ADC 精度数值是通过对一个标准批次的采样，在所有温度范围下测试得到，95 % 的芯片误差小于等于给出的数值。

5.1.3. 供电方案



注：所有去耦电容都需要尽可能靠近 PCB 板上的引脚。

图 5-1 供电方案图

5.2. 绝对最大额定值

如果加在芯片上超过以下表格给出的绝对最大值，可能会导致芯片永久性的损坏。这里只是列出了所能承受的强度分等，并不意味着在此条件下器件的功能操作无误。长时间工作在最大值条件下可能影响芯片的可靠性。

表 5-1 电压特性⁽¹⁾

符号	描述	最小值	最大值	单位
$V_{CC}-V_{SS}^{(1)}$	外部主供电电源	-0.3	6.25	V
$V_{IN}^{(2)}$	Tolerant 引脚 (COM_T、COM_FT) 输入电压	-0.3	6.25	V
	除 Tolerant 引脚其它引脚的输入电压	-0.3	$V_{CC}+0.3$	

- 电源 V_{CC} 和地 V_{SS} 引脚必须始终连接到外部允许范围内的供电系统上。
- V_{IN} 的最大值必须始终遵循允许的最大注入电流值，具体见下表。

表 5-2 电流特性表

符号	描述	最大值	单位
ΣI_{VCC}	流入所有 V_{CC} 电源线的总电流 (拉电流) ⁽¹⁾	210	mA
ΣI_{VSS}	流出所有 V_{SS} 接地线的总电流 (灌电流) ⁽¹⁾	190	
$\Sigma I_{IO(PIN)}^{(2)}$	所有 I/O 和控制引脚的总输出灌电流	200	
	所有 I/O 和控制引脚的总拉电流	180	
$I_{IO}^{(2)}$	任意 I/O 和控制引脚的输出灌电流 (除 COM_L)	60	
	任意 COM_L I/O 的输出灌电流	140	
	任意 I/O 和控制引脚的拉电流 ⁽³⁾	25	

- 电源 V_{CC} 和地 V_{SS} 引脚必须始终连接到外部允许范围内的供电系统上。
- IO 类型可参考引脚定义的术语和符号。

表 5-3 温度特性

符号	描述	数值	单位
T_{STG}	存储温度范围	-65 ~ +150	℃
T_O	工作温度范围	-40 ~ +105	℃

5.3. 工作条件

5.3.1. 通用工作条件

表 5-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	-	0	72	MHz
f_{PCLK}	内部 APB 时钟频率	-	0	72	MHz
V_{CC}	标准工作电压	-	1.8	5.5	V
V_{BAT}	备份部分工作电压	-	1.55	5.5	V

符号	参数	条件	最小值	最大值	单位
V_{REFP}	ADC、DAC 参考电压	-	1.8	5.5	V
V_{IN}	Tolerant 引脚 (COM_T、COM_FT) 输入电压	-	-0.3	5.5	V
	除 Tolerant 引脚其它引脚的输入电压	-	-0.3	$V_{CC}+0.3$	
T_A	环境温度	-	-40	105	°C
T_J	结温范围	-	-40	110	°C

5.3.2. 上下电工作条件

表 5-5 上电和掉电工作条件

符号	参数	条件	最小值	最大值	单位
t_{VCC}	V_{CC} 上升速率	-	10	∞	$\mu s/V$
	V_{CC} 下降速率	V_{CC} , V_{BAT} 同步下降	20	∞	
		V_{CC} 下降, V_{BAT} 保持	200	∞	

5.3.3. 内嵌复位和 PVD 模块特性

表 5-6 POR/POR/BOR 模块特性

符号	参数	条件	最小值	典型值	最大值	单位
$t_{RSTTEMPOT}^{(1)}$	复位持续时间	-	-	4.0	7.5	ms
$V_{POR/PDR}^{(1)}$	上电/下电复位阈值	上升沿	1.55 ⁽²⁾	1.63	1.74	V
		下降沿	1.5	1.58	1.7 ⁽²⁾	V
$V_{PDRhyst}^{(2)}$	PDR 迟滞	-	-	20	-	mV
V_{BOR}	BOR 阈值电压	BOR_LEV[2:0]=000 (上升沿)	1.65 ⁽²⁾	1.75	1.84	V
		BOR_LEV[2:0]=000 (下降沿)	1.56	1.65	1.74 ⁽²⁾	
		BOR_LEV[2:0]=001 (上升沿)	1.84 ⁽²⁾	1.95	2.06	
		BOR_LEV[2:0]=001 (下降沿)	1.75	1.85	1.96 ⁽²⁾	
		BOR_LEV[2:0]=010 (上升沿)	2.02 ⁽²⁾	2.14	2.26	
		BOR_LEV[2:0]=010 (下降沿)	1.93	2.04	2.15 ⁽²⁾	
		BOR_LEV[2:0]=011 (上升沿)	2.21 ⁽²⁾	2.34	2.46	
		BOR_LEV[2:0]=011 (下降沿)	2.11	2.23	2.36 ⁽²⁾	
		BOR_LEV[2:0]=100 (上升沿)	2.59 ⁽²⁾	2.74	2.89	
		BOR_LEV[2:0]=100 (下降沿)	2.48	2.62	2.77 ⁽²⁾	
		BOR_LEV[2:0]=101 (上升沿)	2.87 ⁽²⁾	3.04	3.2	
		BOR_LEV[2:0]=101 (下降沿)	2.76	2.92	3.08 ⁽²⁾	
		BOR_LEV[2:0]=110 (上升沿)	3.4 ⁽²⁾	3.6	3.8	
		BOR_LEV[2:0]=110 (下降沿)	3.33	3.52	3.72 ⁽²⁾	
		BOR_LEV[2:0]=111 (上升沿)	3.88 ⁽²⁾	4.11	4.34	
		BOR_LEV[2:0]=111 (下降沿)	3.78	4	4.22 ⁽²⁾	
$V_{BOR_hyst}^{(2)}$	BOR 迟滞	-	-	100	-	mV

- 1. 由设计保证，不在生产中测试。
- 2. 数据基于考核结果，不在生产中测试。

表 5-7 PVD 模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程电压检测器电平选择	PLS[2:0]=000 (上升沿)	1.65 ⁽¹⁾	1.75	1.84	V
		PLS[2:0]=000 (下降沿)	1.56	1.65	1.74 ⁽¹⁾	
		PLS[2:0]=001 (上升沿)	1.84 ⁽¹⁾	1.95	2.06	
		PLS[2:0]=001 (下降沿)	1.75	1.85	1.96 ⁽¹⁾	
		PLS[2:0]=010 (上升沿)	2.02 ⁽¹⁾	2.14	2.26	
		PLS[2:0]=010 (下降沿)	1.93	2.04	2.15 ⁽¹⁾	
		PLS[2:0]=011 (上升沿)	2.21 ⁽¹⁾	2.34	2.46	
		PLS[2:0]=011 (下降沿)	2.11	2.23	2.36 ⁽¹⁾	
		PLS[2:0]=100 (上升沿)	2.59 ⁽¹⁾	2.74	2.89	
		PLS[2:0]=100 (下降沿)	2.48	2.62	2.77 ⁽¹⁾	
		PLS[2:0]=101 (上升沿)	2.87 ⁽¹⁾	3.04	3.2	
		PLS[2:0]=101 (下降沿)	2.76	2.92	3.08 ⁽¹⁾	
		PLS[2:0]=110 (上升沿)	3.4 ⁽¹⁾	3.6	3.8	
		PLS[2:0]=110 (下降沿)	3.33	3.52	3.72 ⁽¹⁾	
		PLS[2:0]=111 (上升沿)	3.88 ⁽¹⁾	4.11	4.34	
		PLS[2:0]=111 (下降沿)	3.78	4	4.22 ⁽¹⁾	
V _{PVDhyst} ⁽¹⁾	PVD 迟滞	-	-	100	-	mV

- 1. 数据基于考核结果，不在生产中测试。

5.3.4. 工作电流特性

表 5-8 运行模式电流

符号	条件						典型值 ⁽¹⁾	最大值			单位
	运行	程序	外设	系统时钟	频率 (MHz)	MR_VSEL	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C		
I _{CC} (Run)	Flash	While(1)	所有外设时钟使能	PLL ⁽²⁾	72	2'b00	10.57	10.72	10.84	mA	
					64	2'b00	9.45	9.65	9.77		
					48	2'b00	7.20	7.36	7.48		
				HSI	64	2'b00	9.23	9.37	9.46		
					48	2'b00	6.98	7.18	7.28		
					24	2'b00	3.66	3.80	3.94		
					16	2'b00	2.53	2.67	2.83		
					8	2'b10	1.25	1.35	1.49		
					LSI(FLASH_LPCR.SLEEP_EN=0)	32.768 kHz	2'b10	0.20	0.33		0.48
					LSI(FLASH_LPCR.SLEEP_EN=1)	32.768 kHz	2'b10	0.14	0.27		0.42
			所有外设时钟禁止	PLL ⁽²⁾	72	2'b00	5.01	5.26	5.39		
					64	2'b00	4.50	4.66	4.78		
					48	2'b00	3.47	3.68	3.82		
				HSI	64	2'b00	4.45	4.63	4.75		
					48	2'b00	3.36	3.55	3.68		
					24	2'b00	1.85	2.04	2.21		
					16	2'b00	1.30	1.50	1.68		
					8	2'b10	0.71	0.84	0.99		
					LSI(FLASH_LPCR.SLEEP_EN=0)	32.768 kHz	2'b10	0.18	0.33		0.48
					LSI(FLASH_LPCR.SLEEP_EN=1)	32.768 kHz	2'b10	0.13	0.27		0.42

1. 数据基于考核结果，不在生产中测试。
2. HSI 8M 作为 PLL 参考时钟源。

表 5-9 Low-power run 模式电流

符号	条件						典型值 ⁽¹⁾	最大值			单位
	运行	程序	外设	系统时钟	频率 (MHz)	LPR_VSEL	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C		
I _{CC} (LPR)	Flash	While(1)	所有外设时钟使能	MSI	2	2'b00	0.49	0.67	0.87	mA	
					1	2'b10	0.36	0.54	0.74		
					250 kHz	2'b10	0.26	0.45	0.64		
					62.5 kHz	2'b10	0.24	0.42	0.62		
			所有外设时钟使能禁止	MSI	2	2'b00	0.35	0.53	0.72		
					1	2'b10	0.29	0.47	0.67		
					250 kHz	2'b10	0.25	0.43	0.62		
					62.5 kHz	2'b10	0.23	0.42	0.61		

1. 数据基于考核结果，不在生产中测试。

2. HSI 8M 作为 PLL 参考时钟源。

表 5-10 Sleep 模式电流

符号	条件						典型值 ⁽¹⁾	最大值		单位
	运行	程序	外设	系统时钟	频率 (MHz)	MR_VSEL	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{cc} (Sleep)	Flash	While(1)	所有外设时钟使能	PLL ⁽²⁾	72	2'b00	8.08	8.45	8.57	mA
					64	2'b00	7.23	7.56	7.69	
					48	2'b00	5.51	5.80	5.93	
				HSI	64	2'b00	7.05	7.35	7.46	
					48	2'b00	5.35	5.62	5.74	
					24	2'b00	2.83	3.04	3.20	
					16	2'b00	1.97	2.17	2.34	
					8	2'b10	0.99	1.14	1.28	
				LSI	32.768 kHz	2'b10	0.18	0.33	0.48	
			所有外设时钟使能禁止	PLL ⁽²⁾	72	2'b00	2.15	2.34	2.51	
					64	2'b00	1.94	2.14	2.31	
					48	2'b00	1.54	1.73	1.91	
				HSI	64	2'b00	1.91	2.10	2.27	
					48	2'b00	1.49	1.68	1.86	
					24	2'b00	0.90	1.09	1.28	
					16	2'b00	0.68	0.87	1.06	
					8	2'b10	0.42	0.58	0.73	
				LSI	32.768 kHz	2'b10	0.18	0.33	0.48	

1. 数据基于考核结果，不在生产中测试。

2. HSI 8M 作为 PLL 参考时钟源。

表 5-11 Low-power sleep 模式电流

符号	条件						典型值 ⁽¹⁾	最大值			单位
	运行	程序	外设	系统时钟	频率 (MHz)	LPR_VSEL	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C		
I _{CC} (LPS)	Flash	While(1)	所有外设时钟使能	MSI	2	2'b00	0.43	0.64	0.80	mA	
					1	2'b10	0.33	0.51	0.70		
					250 kHz	2'b10	0.25	0.45	0.62		
					62.5 kHz	2'b10	0.23	0.41	0.60		
			所有外设时钟使能 禁止	MSI	2	2'b00	0.27	0.50	0.69		
					1	2'b10	0.25	0.44	0.64		
					250 kHz	2'b10	0.23	0.41	0.60		
					62.5 kHz	2'b10	0.22	0.41	0.59		

1. 数据基于考核结果，不在生产中测试。

表 5-12 Stop0 模式电流

符号	条件		典型值 ⁽¹⁾	最大值		单位
	-	LPR_VSEL/DLPR_VSEL	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{cc} (Stop0)	RTC + IWDG + LPTIM with LSI	LPR_VSEL = 2'b11	40.29	198.62	332.24	μA
	IWDG with LSI	LPR_VSEL = 2'b11	39.99	198.21	332.41	
	LPTIM with LSI	LPR_VSEL = 2'b11	40.18	198.45	332.35	
	RTC with LSI	LPR_VSEL = 2'b11	40.13	198.33	332.30	
	外设关闭	LPR_VSEL = 2'b11	39.78	197.98	332.63	
	RTC + IWDG + LPTIM with LSI	DLPR_VSEL = 2'b00	13.10	165.93	334.98	
	IWDG with LSI	DLPR_VSEL = 2'b01	10.39	126.54	272.83	
	LPTIM with LSI	DLPR_VSEL = 2'b01	10.50	126.75	273.11	
	RTC with LSI	DLPR_VSEL = 2'b01	10.46	126.69	273.02	
	外设关闭	DLPR_VSEL = 2'b01	10.12	126.33	272.67	

1. 数据基于考核结果，不在生产中测试。

表 5-13 Stop1 模式电流

符号	条件		典型值 ⁽¹⁾	最大值		单位
	-	LPR_VSEL/DLPR_VSEL	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{cc} (Stop1)	RTC + IWDG + LPTIM with LSI	LPR_VSEL = 2'b11	38.22	152.05	288.99	μA
	IWDG with LSI	LPR_VSEL = 2'b11	37.97	151.70	288.61	
	LPTIM with LSI	LPR_VSEL = 2'b11	38.10	151.95	288.94	
	RTC with LSI	LPR_VSEL = 2'b11	38.04	151.84	288.68	
	外设关闭	LPR_VSEL = 2'b11	37.70	151.56	288.47	
	RTC + IWDG + LPTIM with LSI	DLPR_VSEL = 2'b00	12.43	122.87	260.90	
	IWDG with LSI	DLPR_VSEL = 2'b01	7.73	91.18	196.01	
	LPTIM with LSI	DLPR_VSEL = 2'b01	7.84	91.38	196.34	
	RTC with LSI	DLPR_VSEL = 2'b01	7.81	91.33	196.26	
	外设关闭	DLPR_VSEL = 2'b01	7.50	90.97	195.96	

1. 数据基于考核结果，不在生产中测试。

表 5-14 Stop2 模式电流

符号	条件		典型值 ⁽¹⁾	最大值		单位
	-	LPR_VSEL/DLPR_VSEL	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{cc} (Stop2)	RTC + IWDG + LPTIM with LSI	LPR_VSEL = 2'b11	36.28	142.68	266.08	μA
	IWDG with LSI	LPR_VSEL = 2'b11	36.04	142.29	265.44	
	LPTIM with LSI	LPR_VSEL = 2'b11	36.19	142.53	265.90	
	RTC with LSI	LPR_VSEL = 2'b11	36.11	142.46	265.79	
	外设关闭	LPR_VSEL = 2'b11	35.54	142.09	265.29	
	RTC + IWDG + LPTIM with LSI	DLPR_VSEL = 2'b00	10.34	113.20	235.20	
	IWDG with LSI	DLPR_VSEL = 2'b01	7.44	87.46	183.81	
	LPTIM with LSI	DLPR_VSEL = 2'b01	7.54	87.65	184.04	
	RTC with LSI	DLPR_VSEL = 2'b01	7.51	87.60	183.95	
	外设关闭	DLPR_VSEL = 2'b01	7.22	87.26	184.42	

1. 数据基于考核结果，不在生产中测试。

表 5-15 Stop3 模式电流

符号	条件		典型值 ⁽¹⁾	最大值		单位
	-	LPR_VSEL/DLPR_VSEL	T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{cc} (Stop3)	RTC + IWDG + LPTIM with LSI	LPR_VSEL = 2'b11	34.23	97.51	171.72	μA
	IWDG with LSI	LPR_VSEL = 2'b11	33.99	97.18	171.19	
	LPTIM with LSI	LPR_VSEL = 2'b11	34.14	97.36	171.55	
	RTC with LSI	LPR_VSEL = 2'b11	34.07	97.30	171.44	
	外设关闭	LPR_VSEL = 2'b11	33.67	96.98	171.04	
	RTC + IWDG + LPTIM with LSI	DLPR_VSEL = 2'b00	6.62	67.45	140.68	
	IWDG with LSI	DLPR_VSEL = 2'b01	4.74	52.03	109.86	
	LPTIM with LSI	DLPR_VSEL = 2'b01	4.84	52.22	110.08	
	RTC with LSI	DLPR_VSEL = 2'b01	4.81	52.17	110.00	
	外设关闭	DLPR_VSEL = 2'b01	4.52	51.83	110.20	

1. 数据基于考核结果，不在生产中测试。

表 5-16 Standby 模式和 V_{BAT} 电流

符号	条件		典型值 ⁽¹⁾	最大值		单位
	-	DLPR_VSEL	$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
$I_{CC}(\text{Standby})$	RTC + IWDG with LSI	2'b01	3.13	27.75	57.33	μA
	IWDG with LSI	2'b01	3.06	27.64	57.20	
	RTC with LSI	2'b01	3.13	27.73	57.31	
	外设关闭	2'b01	1.88	14.41	30.45	
I_{VBAT}	RTC with LSI	-	1.68	4.79	8.40	
	外设全关	-	1.40	4.47	8.03	

1. 数据基于考核结果，不在生产中测试。

5.3.5. 低功耗模式唤醒时间

表 5-17 低功耗模式唤醒时间

符号	参数 ⁽¹⁾	供电模式 ⁽²⁾	条件	典型值 ⁽³⁾	最大值	单位
t _{WUSLEEP}	Sleep 唤醒后进入 Run 的时间		-	10	-	CPU cycles
t _{WULPSLEEP}	Low-power sleep 唤醒后进入 Low-power run 的时间		-	10	-	
t _{WULPRUN}	Low-power run 唤醒后进入 Run 时间	LPR 供电, LPR_VSEL = 00/10	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	5	-	μs
t _{WUSTOP} ⁽⁴⁾	Stop0 唤醒后进入 Run 时间	LPR 供电, LPR_VSEL = 00/01	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	11	-	
		DLPR 供电, DLPR_VSEL = 00/01	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	22	-	
	Stop1 唤醒后进入 Run 时间	LPR 供电, LPR_VSEL = 00/01	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	11	-	
		DLPR 供电, DLPR_VSEL = 00/01	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	22	-	
	Stop2 唤醒后进入 Run 时间	LPR 供电, LPR_VSEL = 00/01	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	12	-	
		DLPR 供电, DLPR_VSEL = 00/01	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	23	-	
	Stop3 唤醒后进入 Run 时间	LPR 供电, LPR_VSEL = 00/01	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	12	-	
		DLPR 供电, DLPR_VSEL = 00/01	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	23	-	
	Stop0 唤醒后进入 Low-power run 时间	LPR 供电, LPR_VSEL = 00/01	Flash 中执行程序, MSI (2 MHz) 作为系统时钟	22	-	
		DLPR 供电, DLPR_VSEL = 00/01	Flash 中执行程序, MSI (2 MHz) 作为系统时钟	30	-	
	Stop1 唤醒后进入 Low-power run 时间	LPR 供电, LPR_VSEL = 00/01	Flash 中执行程序, MSI (2 MHz) 作为系统时钟	23	-	
		DLPR 供电, DLPR_VSEL = 00/01	Flash 中执行程序, MSI (2 MHz) 作为系统时钟	31	-	
	Stop2 唤醒后进入 Low-power run 时间	LPR 供电, LPR_VSEL = 00/01	Flash 中执行程序, MSI (2 MHz) 作为系统时钟	31	-	
		DLPR 供电, DLPR_VSEL = 00/01	Flash 中执行程序, MSI (2 MHz) 作为系统时钟	39	-	
	Stop3 唤醒后进入、Low-power run 时间	LPR 供电, LPR_VSEL = 00/01	Flash 中执行程序, MSI (2 MHz) 作为系统时钟	31	-	
		DLPR 供电, DLPR_VSEL = 00/01	Flash 中执行程序, MSI (2 MHz) 作为系统时钟	39	-	
t _{WUSTB}	Standby 的唤醒时间(上电后加载)	DLPR 供电, DLPR_VSEL = 00/01	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	230	-	
	Standby 的唤醒时间(上电后不加载)	DLPR 供电, DLPR_VSEL = 00/01	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	25	-	

1. 唤醒时间的测量是从唤醒时间开始至用户程序读取第一条指令。
2. 唤醒前的供电模式。
3. 数据基于考核结果, 不在生产中测试。

4. Stop 模式在 LPR 供电时, PWR_CR1.HSION_CTRL=1'b1, PWR_CR1.FLS_SLPTIME=2'b00;
Stop 模式在 DLPR 供电时, PWR_CR1.HSION_CTRL=1'b0, PWR_CR1.FLS_SLPTIME=2'b01。

Puya Confidential

5.3.6. 外部时钟源特性

5.3.6.1. 外部高速时钟

在 HSE 的 bypass 模式(RCC_CR 的 HSEBYP 置位)，芯片内的高速起振电路停止工作，相应的 IO 作为标准的 GPIO 使用。

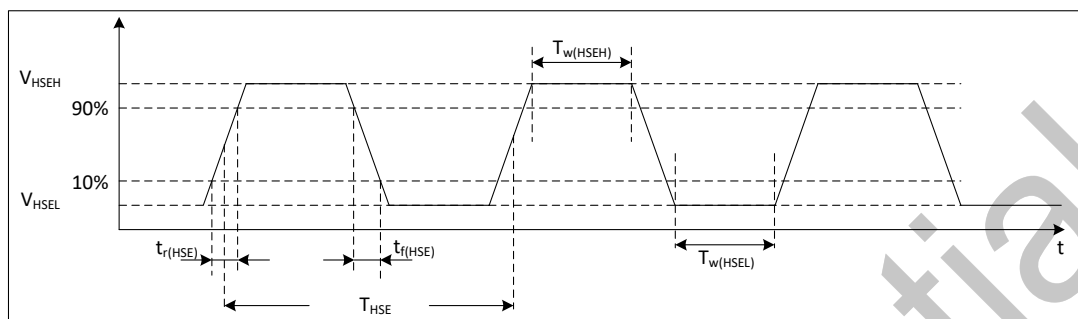


图 5-2 外部高速时钟时序图

表 5-18 外部高速时钟特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率	1	8	32	MHz
V_{HSEH}	输入引脚高电平电压	$0.7 \cdot V_{CC}$	-	V_{CC}	V
V_{HSEL}	输入引脚低电平电压	V_{SS}	-	$0.3 \cdot V_{CC}$	
$t_{w(HSEH)}$ $t_{w(HSEL)}$	输入高或低的时间	15	-	-	ns
$t_r(HSE)$ $t_f(HSE)$	输入上升/下降的时间	-	-	20	ns

1. 由设计保证，不在生产中测试。

5.3.6.2. 外部低速时钟

在 LSE 的 bypass 模式(RCC_BDCR 的 LSEBYP 置位)，芯片内的低速起振电路停止工作，相应的 IO 作为标准的 GPIO 使用。

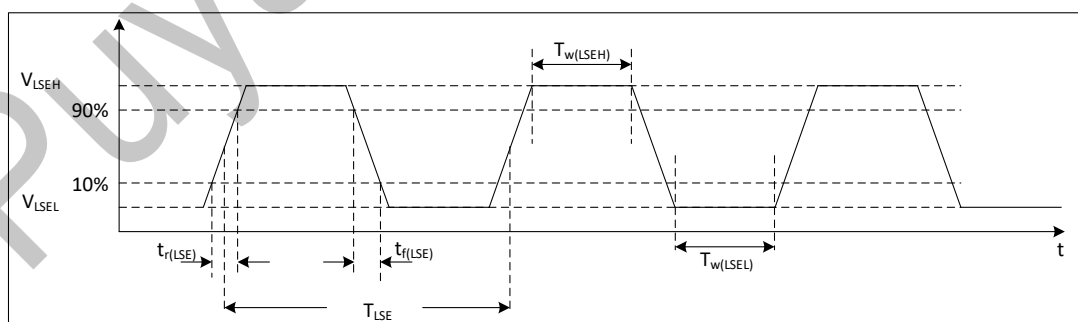


图 5-3 外部低速时钟时序图

表 5-19 外部低速时钟特性⁽¹⁾

符号	参数 ⁽¹⁾	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率	-	32.768	1000	kHz
V_{LSEH}	输入引脚高电平电压	$0.7 \cdot V_{CC}$	-	-	V
V_{LSEL}	输入引脚低电平电压	-	-	$0.3 \cdot V_{CC}$	V
$t_{W(LSEH)}$ $t_{W(LSEL)}$	输入高或低的时间	450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	输入上升/下降的时间	-	-	50	ns

1. 由设计保证，不在生产中测试。

5.3.6.3. 外部高速晶体

可以通过外接 4 ~ 32 MHz 的晶体/陶瓷谐振器。在应用中，晶体和负载电容应该尽可能靠近管脚，这样可以使输出变形和启动稳定时间最小化。

表 5-20 外部高速晶体特性

符号	参数	条件 ⁽¹⁾	最小值 ⁽²⁾	典型值	最大值 ⁽²⁾	单位
f_{OSC_IN}	振荡频率	-	4	-	32	MHz
$I_{CC}^{(4)}$	HSE 功耗	启动期间	-	-	5.5	mA
		$V_{CC}=3.3\text{ V}$, $R_m=100\ \Omega$, $C_L=12\text{ pF}@4\text{ MHz}$, $HSE_DRV[1:0] = 00$	-	0.5	-	
		$V_{CC}=3.3\text{ V}$, $R_m=150\ \Omega$, $C_L=12\text{ pF}@8\text{ MHz}$, $HSE_DRV[1:0] = 00$	-	0.59	-	
		$V_{CC}=3.3\text{ V}$, $R_m=150\ \Omega$, $C_L=12\text{ pF}@8\text{ MHz}$, $HSE_DRV[1:0] = 01$	-	1.1	-	
		$V_{CC}=3.3\text{ V}$, $R_m=70\ \Omega$, $C_L=12\text{ pF}@16\text{ MHz}$, $HSE_DRV[1:0] = 01$	-	1.28	-	
		$V_{CC}=3.3\text{ V}$, $R_m=40\ \Omega$, $C_L=20\text{ pF}@24\text{ MHz}$, $HSE_DRV[1:0] = 10$	-	1.55	-	
		$V_{CC}=3.3\text{ V}$, $R_m=40\ \Omega$, $C_L=10\text{ pF}@32\text{ MHz}$, $HSE_DRV[1:0] = 10$	-	1.46	-	
$t_{SU(HSE)}^{(3) (4)}$	启动时间	$V_{CC}=3.3\text{ V}$, $R_m=100\ \Omega$, $C_L=12\text{ pF}@4\text{ MHz}$, $HSE_DRV[1:0] = 00$	-	2.6	-	ms
		$V_{CC}=3.3\text{ V}$, $R_m=150\ \Omega$, $C_L=12\text{ pF}@8\text{ MHz}$, $HSE_DRV[1:0] = 00$	-	6.04	-	
		$V_{CC}=3.3\text{ V}$, $R_m=150\ \Omega$, $C_L=12\text{ pF}@8\text{ MHz}$, $HSE_DRV[1:0] = 01$	-	1.54	-	
		$V_{CC}=3.3\text{ V}$, $R_m=70\ \Omega$, $C_L=12\text{ pF}@16\text{ MHz}$, $HSE_DRV[1:0] = 01$	-	1.8	-	
		$V_{CC}=3.3\text{ V}$, $R_m=40\ \Omega$, $C_L=20\text{ pF}@24\text{ MHz}$, $HSE_DRV[1:0] = 10$	-	0.7	-	
		$V_{CC}=3.3\text{ V}$, $R_m=40\ \Omega$, $C_L=10\text{ pF}@32\text{ MHz}$, $HSE_DRV[1:0] = 10$	-	0.4	-	

1. 晶体/陶瓷谐振器特性基于制造商给出的数据手册。

2. 由设计保证，不在生产中测试。

3. $t_{SU(HSE)}$ 是从启用（通过软件）到时钟振荡达到稳定的启动时间，针对标准晶体/谐振器测量的，不同晶体/谐振器可能会有很大差异。

4. 数据基于考核结果，不在生产中测试。

5.3.6.4. 外部低速晶体

可以通过外接 32.768 kHz 的晶体/陶瓷谐振器。在应用中，晶体和负载电容应该尽可能靠近管脚，这样可以使输出变形和启动稳定时间最小化。

表 5-21 外部低速晶体特性

符号	参数	条件 ⁽¹⁾	最小值 ⁽²⁾	典型值	最大值 ⁽²⁾	单位
$I_{CC}^{(4)}$	LSE 功耗	$C_L=6\text{ pF}$, $R_m=70\ \Omega$ LSE_STARTUP [1:0] = 00 LSE_DRIVER [1:0] = 00	-	320	-	nA
		$C_L=6\text{ pF}$, $R_m=70\ \Omega$ LSE_STARTUP [1:0] = 00 LSE_DRIVER [1:0] = 01	-	520	-	
		$C_L=12\text{ pF}$, $R_m=50\ \Omega$ LSE_STARTUP [1:0] = 00 LSE_DRIVER [1:0] = 10	-	720	-	
		$C_L=12\text{ pF}$, $R_m=50\ \Omega$ LSE_STARTUP [1:0] = 00 LSE_DRIVER [1:0] = 11	-	1130	-	
$t_{SU(LSE)}^{(3) (4)}$	启动时间	$C_L=6\text{ pF}$, $R_m=70\ \Omega$ LSE_STARTUP [1:0] = 00 LSE_DRIVER [1:0] = 00	-	1.3	-	s
		$C_L=6\text{ pF}$, $R_m=70\ \Omega$ LSE_STARTUP [1:0] = 00 LSE_DRIVER [1:0] = 01	-	0.6	-	
		$C_L=12\text{ pF}$, $R_m=50\ \Omega$ LSE_STARTUP [1:0] = 00 LSE_DRIVER [1:0] = 10	-	0.9	-	
		$C_L=12\text{ pF}$, $R_m=50\ \Omega$ LSE_STARTUP [1:0] = 00 LSE_DRIVER [1:0] = 11	-	0.5	-	

- 晶体/陶瓷谐振器特性基于制造商给出的数据手册。
- 由设计保证，不在生产中测试。
- $t_{SU(LSE)}$ 是从启用（通过软件）到时钟振荡达到稳定的启动时间，针对标准晶体/谐振器测量的，不同晶体/谐振器可能会有很大差异。
- 数据基于考核结果，不在生产中测试。

5.3.7. 内部高频时钟源 HSI 特性

表 5-22 内部高频时钟源特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	HSI 频率	$V_{CC} = 3.3\text{ V}$, $T_A = 25\text{ }^\circ\text{C}$	-	8.0 16.0 24.0 48.0 64.0	-	MHz
$\Delta_{Temp(HSI)}$	HSI 16/24/48 MHz 频率温度漂移	$V_{CC} = 3.3\text{ V}$, $T_A = 25\text{ }^\circ\text{C}$	-1 ⁽²⁾	-	1 ⁽²⁾	%
		$V_{CC} = 2.0 \sim 5.5\text{ V}$, $T_A = -20 \sim 85\text{ }^\circ\text{C}$	-2 ⁽²⁾	-	2 ⁽²⁾	
		$V_{CC} = 1.8 \sim 5.5\text{ V}$, $T_A = -40 \sim 105\text{ }^\circ\text{C}$	-3 ⁽²⁾	-	3 ⁽²⁾	
	HSI 8/64 MHz 频率温度 漂移	$V_{CC} = 3.3\text{ V}$, $T_A = 25\text{ }^\circ\text{C}$	-1 ⁽²⁾	-	1 ⁽²⁾	
		$V_{CC} = 2.0 \sim 5.5\text{ V}$, $T_A = -20 \sim 85\text{ }^\circ\text{C}$	-2.5 ⁽²⁾	-	2.5 ⁽²⁾	

符号	参数	条件	最小值	典型值	最大值	单位
		$V_{CC} = 1.8 \sim 5.5 \text{ V}$, $T_A = -40 \sim 105 \text{ }^{\circ}\text{C}$	-5 ⁽²⁾	-	5 ⁽²⁾	
$f_{\text{TRIM}}^{(1)}$	HSI 微调精度	-	-	0.1	-	%
$D_{\text{HSI}}^{(1)}$	占空比	-	45 ⁽¹⁾	-	55 ⁽¹⁾	%
$t_{\text{Stab}}(\text{HSI})$	HSI 稳定时间	-	-	3	4 ⁽¹⁾	μs
$I_{\text{CC}}(\text{HSI})^{(2)}$	HSI 功耗	8 MHz	-	108	-	μA
		16 MHz	-	164	-	
		24 MHz	-	221	-	
		48 MHz	-	326	-	
		64 MHz	-	436	-	

1. 由设计保证, 不在生产中测试。
2. 数据基于考核结果, 不在生产中测试。

5.3.8. 内部中频时钟源 MSI 特性

表 5-23 内部中频时钟源特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{MSI}	MSI 频率	-	-	2.0	-	MHz
$\Delta_{\text{Temp}}(\text{MSI})$	MSI 频率温度漂移	$V_{CC} = 3.3 \text{ V}$, $T_A = 25 \text{ }^{\circ}\text{C}$	-1 ⁽²⁾	-	1 ⁽²⁾	%
		$V_{CC} = 1.8 \sim 5.5 \text{ V}$, $T_A = -20 \sim 85 \text{ }^{\circ}\text{C}$	-3 ⁽²⁾	-	3 ⁽²⁾	
		$V_{CC} = 1.8 \sim 5.5 \text{ V}$, $T_A = -40 \sim 105 \text{ }^{\circ}\text{C}$	-4.5 ⁽²⁾	-	4.5 ⁽²⁾	
$f_{\text{TRIM}}^{(1)}$	MSI 微调精度	-	-	0.1	-	%
$D_{\text{MSI}}^{(1)}$	占空比	-	45 ⁽¹⁾	-	55 ⁽¹⁾	%
$t_{\text{Stab}}(\text{MSI})$	MSI 稳定时间	-	-	6	10 ⁽¹⁾	μs
$I_{\text{CC}}(\text{MSI})^{(2)}$	MSI 功耗	2 MHz	-	26	-	μA

1. 由设计保证, 不在生产中测试。
2. 数据基于考核结果, 不在生产中测试。

5.3.9. 内部低频时钟源 LSI 特性

表 5-24 内部低频时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	LSI 频率	-	-	32.768	-	kHz
$\Delta_{\text{Temp}}(\text{LSI})$	LSI 频率温度漂移	$T_A = 25 \text{ }^{\circ}\text{C}$, $V_{CC} = 3.3 \text{ V}$	-3 ⁽²⁾	-	3 ⁽²⁾	%
		$V_{CC} = 1.8 \sim 5.5 \text{ V}$, $T_A = 0 \sim 85 \text{ }^{\circ}\text{C}$	-4 ⁽²⁾	-	4 ⁽²⁾	
		$V_{CC} = 1.8 \sim 5.5 \text{ V}$, $T_A = -40 \sim 105 \text{ }^{\circ}\text{C}$	-7 ⁽²⁾	-	7 ⁽²⁾	
$f_{\text{TRIM}}^{(1)}$	LSI 微调精度	-	-	0.2	-	%
$t_{\text{Stab}}(\text{LSI})^{(1)}$	LSI 稳定时间	-	-	150	-	μs
$I_{\text{CC}}(\text{LSI})^{(1)}$	LSI 功耗	-	-	300	-	nA

1. 由设计保证, 不在生产中测试。
2. 数据基于考核结果, 不在生产中测试。

5.3.10. 锁相环 PLL 特性

表 5-25 锁相环特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{PLL_IN}	输入频率	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{CC} = 3.3\text{ V}$	8 ⁽¹⁾	-	24 ⁽¹⁾	MHz
f_{PLL_OUT}	输出频率	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{CC} = 3.3\text{ V}$	48 ⁽¹⁾	-	72	MHz
t_{LOCK}	锁存时间	$f_{PLL_IN} = 24\text{ MHz}$	-	20	40 ⁽¹⁾	μs

1. 由设计保证, 不在生产中测试。

5.3.11. 存储器特性

表 5-26 存储器特性

符号	参数	条件	典型值	最大值 ⁽¹⁾	单位
t_{prog}	页编程时间	-	1.0	1.5	ms
t_{ERASE}	页/扇区/全片擦除时间	-	3.5	4.5	ms
I_{CC}	页编程功耗	-	2.0	3.0	mA
	页/扇区/全片擦除功耗	-	2.0	3.0	

1. 由设计保证, 不在生产中测试。

表 5-27 存储器擦写次数和数据保持

符号	参数	条件	最小值 ⁽¹⁾	单位
N_{END}	擦写次数	$T_A = -40 \sim 85\text{ }^{\circ}\text{C}$	100	kcycle
		$T_A = 85 \sim 105\text{ }^{\circ}\text{C}$	10	
t_{RET}	数据保持期限	10 kcycle $T_A = 55\text{ }^{\circ}\text{C}$	20	Year

1. 数据基于考核结果, 不在生产中测试。

5.3.12. EFT 特性

表 5-28 EFT 特性

符号	参数	条件	等级
EFT to power	-	IEC61000-4-4	4A

5.3.13. ESD & LU 特性

表 5-29 ESD & LU 特性

符号	参数	标准	条件	典型值	单位
$V_{ESD(HBM)}$	静态放电电压 (人体模型)	ESDA/JEDEC JS-001-2017	非 Tolerant IO 和 V_{BKP} 域的其他引脚	8	kV
			Tolerant IO 和 V_{BKP} 域的 PA6/PA7/PA8 引脚	6	
$V_{ESD(CDM)}$	静态放电电压 (充电设备模型)	ESDA/JEDEC JS-002-2018	-	1	kV
LU	静态 Latch-up	JESD78E	-	200	mA

5.3.14. 端口特性

表 5-30 IO 端口特性

符号	参数		条件	最小值	典型值	最大值	单位
V _{IL}	标准 I/O 输入低电平		1.8 V≤V _{CC} ≤ 5.5 V	-	-	0.3*V _{CC}	V
	Tolerant I/O 输入低电平						
V _{IH}	标准 I/O 输入高电平		1.8 V≤V _{CC} ≤ 5.5 V	0.7*V _{CC}	-	-	V
	Tolerant I/O 输入高电平						
V _{hys} ⁽¹⁾	标准 I/O 施密特电压迟滞		-	-	200	-	mV
	Tolerant I/O 施密特电压迟滞						
V _{Ikg} ⁽²⁾	输入漏电流	标准 I/O	V _{SS} ≤V _{IN} ≤V _{CC}	-	-	±1	μA
		Tolerant I/O	V _{SS} ≤V _{IN} ≤V _{CC}	-	-	±1	
			V _{CC} ≤V _{IN} ≤V _{CC} +1 V ⁽⁴⁾	-	-	3	
			V _{CC} +1 V≤V _{IN} ≤5.5 V	-	-	1	
R _{PU} ⁽³⁾	内部上拉电阻		V _{IN} =V _{SS}	30	50	70	kΩ
R _{PD} ⁽³⁾	内部下拉电阻		V _{IN} =V _{CC}	30	50	70	kΩ
C _{IO}	I/O 引脚电容		-	-	5	-	pF
t _{ns(EXTI)} ⁽¹⁾	输入滤波宽度		ENI=1, ENS=1	3	5	10	ns
t _{ns(I2C)} ⁽¹⁾	I ² C 输入滤波宽度		ENI=1, EIIC=1	100	145	300	ns

1. 由设计保证，不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
3. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。
4. $V_{CC} + 1\text{ V}$ 的最大值不应超过 5.5 V 。

表 5-31 输出电压特性⁽³⁾

符号	参数 ⁽¹⁾	驱动	条件	最小值	最大值	单位
$V_{OL}^{(2)}$	任意 IO 输出低电平 (除 COM_L IO)	GPIOX_OSPEEDR=11	$I_{OL} = 50\text{ mA}, V_{CC} \geq 5\text{ V}$	-	0.4	V
		GPIOX_OSPEEDR=11	$I_{OL} = 8\text{ mA}, V_{CC} \geq 2.7\text{ V}$	-	0.4	
		GPIOX_OSPEEDR=11	$I_{OL} = 4\text{ mA}, V_{CC} = 1.8\text{ V}$	-	0.5	
$V_{OL}^{(2)}$	任意 COM_L IO 输出 低电平	GPIOX_OSPEEDR=11	$I_{OL} = 120\text{ mA}, V_{CC} \geq 5\text{ V}$	-	0.6	V
		GPIOX_OSPEEDR=10	$I_{OL} = 100\text{ mA}, V_{CC} \geq 5\text{ V}$	-	0.5	
		GPIOX_OSPEEDR=01	$I_{OL} = 80\text{ mA}, V_{CC} \geq 5\text{ V}$	-	0.5	
		GPIOX_OSPEEDR=00	$I_{OL} = 60\text{ mA}, V_{CC} \geq 5\text{ V}$	-	0.4	
$V_{OH}^{(2)(4)}$	任意 IO 输出高电平	GPIOX_OSPEEDR=11	$I_{OL} = 16\text{ mA}, V_{CC} \geq 3.3\text{ V}$	$V_{CC} - 0.6$	-	V
		GPIOX_OSPEEDR=11	$I_{OL} = 8\text{ mA}, V_{CC} \geq 2.7\text{ V}$	$V_{CC} - 0.4$	-	
		GPIOX_OSPEEDR=11	$I_{OL} = 4\text{ mA}, V_{CC} = 1.8\text{ V}$	$V_{CC} - 0.5$	-	

1. IO 类型可参考引脚定义的术语和符号。
2. 数据基于考核结果,不在生产中测试。
3. 对于所有输出的组合，最大总电流（包括 V_{OL} 或 V_{OH} 产生的电流总和）不应超过表 5-2 电流特性中的最大额定值参数 $\Sigma I_{IO(PIN)}$ 。
4. 不包括 V_{BKP} 域 PA6、PA7、PA8 引脚，PA6、PA7、PA8 通过电源开关供电。该开关的拉电流能力限制为 3 mA 。

5.3.15. LED SEG 恒流驱动特性

表 5-32 LED SEG 恒流驱动特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{CC}	供电电压	-	3.3	-	5.5	V
I_{OH}	恒流模式 1 输出电流	$V_{CC} = 3.3\text{ V}, V_{OH} = V_{CC}/3$	-	9.9	-	mA
I_{OH}	恒流模式 2 输出电流	$V_{CC} = 3.3\text{ V}, V_{OH} = V_{CC}/3$	-	7.4	-	mA
I_{OH}	恒流模式 3 输出电流	$V_{CC} = 3.3\text{ V}, V_{OH} = V_{CC}/3$	-	5.0	-	mA
I_{OH}	恒流模式 4 输出电流	$V_{CC} = 3.3\text{ V}, V_{OH} = V_{CC}/3$	-	2.5	-	mA
$ \Delta I /I$	电流精度 (统一校准)	恒流源输出 10 mA 电流: $(I-10)/10$ ($V_{CC} = 3.3\text{ V}, T_A = +25\text{ }^{\circ}\text{C}$)	-	-	± 15	%

1. 数据基于考核结果, 不在生产中测试。

5.3.16. ADC 特性

表 5-33 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{CC}	模拟供电电压	-	1.8	-	5.5	V
V_{REFP}	正参考电压	-	1.8	-	V_{CC}	V
V_{REFN}	负参考电压	-	0			V
I_{CC}	V_{CC} 引脚电流	$f_{ADC} = 16\text{ MHz}$	-	1	-	mA
		$f_{ADC} = 32\text{ MHz}$	-	1	-	
I_{REFP}	V_{REFP} 引脚电流	$f_{ADC} = 16\text{ MHz}$	-	15	-	μA
		$f_{ADC} = 32\text{ MHz}$	-	30	-	
f_{ADC}	ADC 时钟频率	$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	4	-	8	MHz
		$2.5\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	4	-	16	
		$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	4	-	32	
$f_s^{(2)}$	采样速率	$V_{CC} \geq 1.8\text{ V}$	-	-	0.5	MSPS
		$V_{CC} \geq 2.5\text{ V}$	-	-	1	
		$V_{CC} \geq 2.7\text{ V}$	-	-	2	
V_{AIN}	转换电压范围	单端模式	0	-	V_{REFP}	V
		差分模式	$-V_{REFP}$	-	V_{REFP}	
$R_{AIN}^{(2)}$	外部输入阻抗 ⁽³⁾	-	-	-	33	k Ω
$R_{ADC}^{(2)}$	采样开关电阻	-	-	-	1.2	k Ω
$C_{ADC}^{(2)}$	内部采样和保持电容	-	-	2.5	3	pF
$t_{CAL}^{(2)}$	校准时间	$f_{ADC} = 16\text{ MHz}$	12			μs
		-	192			$1/f_{ADC}$
$t_s^{(2)}$	采样时间	$f_{ADC} = 16\text{ MHz}$	0.156	-	40.03	μs
		-	2.5	-	640.5	$1/f_{ADC}$
t_{smp_setup}	采样建立时间 (内部通道)	-	20	-	-	μs
$t_{STAB}^{(2)}$	上电稳定时间	-	0	0	3	μs
$t_{CONV}^{(2)}$	总转换时间	$f_{ADC} = 16\text{ MHz}$	1	-	40.875	μs
		-	16 ~ 654			$1/f_{ADC}$

1. 由设计保证, 不在生产中测试。

2. 数据基于考核结果, 不在生产中测试。

3. 在外部触发时, 需要额外增加 $1/f_{PCLK2}$ 的延迟。

$$a) \quad R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

b) 上述公式用于决定最大外部阻抗, 使得误差可以小于 1/4 LSB。其中 $N = 12$, 表示 12 位分辨率。

表 5-34 R_{AIN} Max for $f_{ADC} = 32 \text{ MHz}^{(1)}$

采样周期(T_S)	采样时间 (t_s)	R_{AIN} 最大值 (Ω)	
		快速通道	慢速通道
2.5	39.06	100	-
6.5	101.56	330	100
12.5	195.31	680	470
24.5	382.81	1500	1200
47.5	742.19	2200	1800
92.5	1445.31	4700	3900
247.5	3867.19	12000	10000
640.5	10007.81	39000	33000

1. 由设计保证, 不在生产中测试。

表 5-35 ADC 静态特性($V_{REFP} = V_{CC}$)⁽¹⁾⁽²⁾⁽³⁾

符号	参数	条件	模式	最小值	典型值	最大值	单位
ET	综合误差	$V_{REFP} = V_{CC} = 3.3 \text{ V},$ $f_{ADC} \leq 48 \text{ MHz}, 12 \text{ 位分辨率}$	单端模式	-	± 4.0	-	LSB
			差分模式	-	± 3.0	-	
EO	偏移误差		单端模式	-	± 5.0	-	
			差分模式	-	± 4.0	-	
EG	增益误差		单端模式	-	± 2.0	-	
			差分模式	-	± 1.5	-	
ED	微分线性误差		单端模式	-	-1.0 ~ 2.5	-	
			差分模式	-	-1.0 ~ 2.0	-	
EL	积分线性误差		单端模式	-	± 2.5	-	
			差分模式	-	± 5.0	-	

1. 由设计保证, 不在生产中测试。

2. ADC DC 测试之前先做校准。

3. ADC 精度与反向注入电流关系: 需要避免在任何标准的模拟输入引脚上注入反向电流, 因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上, (引脚与地之间) 增加一个肖特基二极管。

表 5-36 ADC 静态特性($V_{REFP} = V_{REFBUF}$)⁽¹⁾⁽²⁾⁽³⁾

符号	参数	条件	模式	最小值	典型值	最大值	单位
ET	综合误差	$V_{CCA} = 3.3 \text{ V}, V_{REFP} = V_{REFBUF} = 0.6 \text{ V},$ $f_{ADC} \leq 32 \text{ MHz}, 12 \text{ 位分辨率}$	单端模式	-	±6.0	-	LSB
			差分模式	-	±5.0	-	
EO	偏移误差		单端模式	-	±2.5	-	
			差分模式	-	±1.0	-	
EG	增益误差		单端模式	-	±3.0	-	
			差分模式	-	±2.0	-	

ED	微分线性误差	$V_{CCA} = 3.3\text{ V},$ $V_{REFP} = V_{REFBUF} = 1.024/1.5/2.048/2.5\text{ V},$ $f_{ADC} \leq 32\text{ MHz}, 12\text{ 位分辨率}$	单端模式	-	-1.0 ~ 3.6	-	
			差分模式	-	-1.0 ~ 3.5	-	
EL	积分线性误差		单端模式	-	±3.5	-	
			差分模式	-	±3.5	-	
ET	综合误差		单端模式	-	±3.0	-	
			差分模式	-	±2.5	-	
EO	偏移误差		单端模式	-	±2.0	-	
			差分模式	-	±2.0	-	
EG	增益误差		单端模式	-	±1.5	-	
			差分模式	-	±1.5	-	
ED	微分线性误差		单端模式	-	-1.0 ~ 2.5	-	
			差分模式	-	-1.0 ~ 2.5	-	
EL	积分线性误差		单端模式	-	±3.0	-	
			差分模式	-	±3.0	-	

1. 由设计保证，不在生产中测试。
2. ADC DC 测试之前先做校准。
3. ADC 精度与反向注入电流关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。

表 5-37 ADC 动态特性($V_{REFP} = V_{CC}$)⁽¹⁾⁽²⁾⁽³⁾

符号	参数	条件	模式	最小值	典型值	最大值	单位
ENOB	有效位数	$V_{REFP} = V_{CC} = 3.3\text{ V},$ $f_{ADC} \leq 48\text{ MHz},$ 12 位分辨率	单端模式	-	10.0	-	bit
			差分模式	-	10.3	-	
SINAD	信噪失真比		单端模式	-	62.0	-	dB
			差分模式	-	63.5	-	
SNR	信噪比		单端模式	-	62.3	-	
			差分模式	-	63.7	-	
SFDR	无杂散动态范围		单端模式	-	80.4	-	
			差分模式	-	79.6	-	
THD	总谐波失真		单端模式	-	-73.9	-	
			差分模式	-	-76.6	-	
ENOB	有效位数	$V_{REFP} = V_{CC} = 3.3\text{ V},$ $f_{ADC} \leq 32\text{ MHz},$ 12 位分辨率, 在 SRAM 中执行程序	单端模式	-	11.0	-	bit
			差分模式	-	11.3	-	
SINAD	信噪失真比		单端模式	-	68.1	-	dB
			差分模式	-	67.0	-	
SNR	信噪比		单端模式	-	68.5	-	
			差分模式	-	70.7	-	
SFDR	无杂散动态范围		单端模式	-	83.6	-	
			差分模式	-	81.7	-	
THD	总谐波失真		单端模式	-	-78.7	-	
			差分模式	-	-77.4	-	

1. 由设计保证，不在生产中测试。

2. ADC DC 测试之前先做校准。
3. ADC 精度与反向注入电流关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。

表 5-38 ADC 动态特性 ($V_{REFP} = V_{REFBUF}$) ⁽¹⁾⁽²⁾⁽³⁾

符号	参数	条件	模式	最小值	典型值	最大值	单位
ENOB	有效位数	$V_{CCA} = 3.3\text{ V},$ $V_{REFP} = V_{REFBUF} = 0.6\text{ V},$ $f_{ADC} \leq 32\text{ MHz},$ 12 位分辨率	单端模式	-	8.0	-	bit
			差分模式	-	9.8	-	
SINAD	信噪失真比		单端模式	-	49.8	-	dB
			差分模式	-	61.1	-	
SNR	信噪比		单端模式	-	49.8	-	
			差分模式	-	61.1	-	
SFDR	无杂散动态范围		单端模式	-	85.4	-	
			差分模式	-	89.1	-	
THD	总谐波失真		单端模式	-	-81.2	-	
			差分模式	-	-84.1	-	
ENOB	有效位数	$V_{CCA} = 3.3\text{ V},$ $V_{REFP} = V_{REFBUF} = 1.024\text{ V},$ $f_{ADC} \leq 32\text{ MHz},$ 12 位分辨率	单端模式	-	9.0	-	bit
			差分模式	-	10.3	-	
SINAD	信噪失真比		单端模式	-	56.0	-	dB
			差分模式	-	64.0	-	
SNR	信噪比		单端模式	-	56.0	-	
			差分模式	-	64.1	-	
SFDR	无杂散动态范围		单端模式	-	84.6	-	
			差分模式	-	87.8	-	
THD	总谐波失真		单端模式	-	-81.6	-	
			差分模式	-	-81.3	-	
ENOB	有效位数	$V_{CCA} = 3.3\text{ V},$ $V_{REFP} = V_{REFBUF} = 1.5/2.048/2.5\text{ V},$ $f_{ADC} \leq 32\text{ MHz},$ 12 位分辨率	单端模式	-	9.3	-	bit
			差分模式	-	10.7	-	
SINAD	信噪失真比		单端模式	-	57.7	-	dB
			差分模式	-	66.5	-	
SNR	信噪比		单端模式	-	57.7	-	
			差分模式	-	67.5	-	
SFDR	无杂散动态范围		单端模式	-	83.6	-	
			差分模式	-	74.2	-	
THD	总谐波失真		单端模式	-	-79.4	-	
			差分模式	-	-73.0	-	

1. 由设计保证，不在生产中测试。
2. ADC DC 测试之前先做校准。
3. ADC 精度与反向注入电流关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。

5.3.17. DAC 特性

表 5-39 DAC 特性 ($V_{REFP} = V_{CC}$)

符号	参数	条件	最小值	典型值	最大值	单位
V_{CC}	DAC 供电电压	缓冲器开启	2.2	-	5.5	V
	DAC 供电电压	缓冲器关闭	2.2	-	5.5	
$R_{LOAD}^{(1)}$	输出阻性负载	缓冲器开启时相对 V_{SS} 的电阻负载	5	-	-	k Ω
		缓冲器开启时相对 V_{CC} 的电阻负载	15	-	-	
$R_O^{(1)}$	DAC 输出负载	缓冲器关闭时, 要使精度为 1%, DAC_OUT 与 V_{SS} 之间的最小阻性 负载为 1.5 M Ω	-	-	15	k Ω
$C_{LOAD}^{(1)}$	输出容性负载	DAC_OUT 引脚上的最大容性负载 (缓冲器开启时)	-	-	50	pF
$DAC_OUT_{min}^{(1)}$	最小输出电压(缓冲器开启)	给出 DAC 的最大输出幅度	0.2	-	-	V
$DAC_OUT_{max}^{(1)}$	最大输出电压(缓冲器开启)		-	-	$V_{CC}-0.2$	V
$DAC_OUT_{min}^{(1)}$	最小输出电压(缓冲器关闭)	给出 DAC 的最大输出幅度	-	0.5	-	mV
$DAC_OUT_{max}^{(1)}$	最大输出电压(缓冲器关闭)		-	-	$V_{CC}-0.01$	V
$I_{CC}^{(1)}$	V_{CC} 功耗 ⁽²⁾	无负载, 输入端中间代码(0x800)	-	-	900	μA
		无负载, 在输入上的直 流消耗方面, 对应于 $V_{CC} = 3.6 V$ 时 的最差代码(0xF1C)	-	-	1200	
$DNL^{(2)}$	差分非线性	DAC 按 10 位配置时	-	-	± 1	LSB
		DAC 按 12 位配置时	-	-	± 2	
$INL^{(2)}$	积分非线性	DAC 按 10 位配置时	-	-	± 1	LSB
		DAC 按 12 位配置时	-	-	± 4	
Offset ⁽²⁾	失调误差	DAC 按 10 位配置时	-	-	± 3	LSB
		DAC 按 12 位配置时	-	-	± 12	
Gain error ⁽²⁾	增益误差	DAC 按 12 位配置时	-	-	± 0.5	%
$t_{SETTLING}^{(2)}$	满幅输出建立时间	$C_{LOAD} \leq 50 pF$, $R_{LOAD} \geq 5 k\Omega$ (满刻度: 适用于 DAC_OUT 达到 最终值 $\pm 1LSB$ 时, 最低输入代码与 最高输入代码之间的 10 位输入代码 转换)	-	4	10	μs
Update rate ⁽²⁾	采样率 (从代码 i 到 $i+1LSB$)	$C_{LOAD} \leq 50 pF$, $R_{LOAD} \geq 5 k\Omega$	-	-	1	MS/s
$t_{WAKEUP}^{(2)}$	唤醒时间	$C_{LOAD} \leq 50 pF$, $R_{LOAD} \geq 5 k\Omega$, 介于可能的最低值和最高值之间的 输入代码	-	6.5	10	μs
$PSRR^{+ (1)}$	电源抑制比 (V_{CC}) (静态 直流测量)	无 R_{LOAD} , $C_{LOAD} = 50 pF$	-	-67	-40	dB

1. 由设计保证, 不在生产中测试。

2. 数据基于考核结果, 不在生产中测试。

表 5-40 DAC 特性 ($V_{REFP} = V_{REFBUF} = 2.5\text{ V}$)

符号	参数	条件	最小值	典型值	最大值	单位
V_{CC}	DAC 供电电压	缓冲器开启	2.8	-	5.5	V
	DAC 供电电压	缓冲器关闭	2.8	-	5.5	
$R_{LOAD}^{(1)}$	输出阻性负载	缓冲器开启时相对 V_{SS} 的电阻负载	5	-	-	k Ω
		缓冲器开启时相对 V_{CC} 的电阻负载	15	-	-	
$R_O^{(1)}$	DAC 输出负载	缓冲器关闭时, 要使精度为 1%, DAC_OUT 与 V_{SS} 之间的最小阻性 负载为 1.5 M Ω	-	-	15	k Ω
$C_{LOAD}^{(1)}$	输出容性负载	DAC_OUT 引脚上的最大容性负载 (缓冲器开启时)	-	-	50	pF
$DAC_OUT_{min}^{(1)}$	最小输出电压(缓冲器开启)	给出 DAC 的最大输出幅度	0.2	-	-	V
$DAC_OUT_{max}^{(1)}$	最大输出电压(缓冲器开启)		-	-	$V_{REFBUF} - 0.2$	V
$DAC_OUT_{min}^{(1)}$	最小输出电压(缓冲器关闭)	给出 DAC 的最大输出幅度	-	0.5	-	mV
$DAC_OUT_{max}^{(1)}$	最大输出电压(缓冲器关闭)		-	-	$V_{REFBUF} - 0.01$	V
$I_{CC}^{(1)}$	V_{CC} 功耗 ⁽²⁾	无负载, 输入端中间代码(0x800)	-	-	900	μA
		无负载, 在输入上的直 流消耗方面, 对应于 $V_{CC} = 3.6\text{ V}$ 时 的最差代码(0xF1C)	-	-	1200	
$DNL^{(2)}$	差分非线性	DAC 按 10 位配置时	-	± 1	-	LSB
		DAC 按 12 位配置时	-	± 4	-	
$INL^{(2)}$	积分非线性	DAC 按 10 位配置时	-	± 1	-	LSB
		DAC 按 12 位配置时	-	± 4	-	
Offset ⁽²⁾	失调误差	DAC 按 10 位配置时	-	-	± 3	LSB
		DAC 按 12 位配置时	-	-	± 12	
Gain error ⁽²⁾	增益误差	DAC 按 12 位配置时	-	-	± 0.5	%
$t_{SETTLING}^{(2)}$	满幅输出建立时间	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$ (满刻度: 适用于 DAC_OUT 达到 最终值 $\pm 1\text{ LSB}$ 时, 最低输入代码与 最高输入代码之间的 10 位输入代码 转换)	-	4	10	μs
Update rate ⁽²⁾	采样率 (从代码 i 到 $i+1\text{ LSB}$)	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$	-	-	1	MS/s
$t_{WAKEUP}^{(2)}$	唤醒时间	$C_{LOAD} \leq 50\text{ pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$, 介于可能的最低值和最高值之间的 输入代码	-	6.5	10	μs
$P_{SRR+}^{(1)}$	电源抑制比 (V_{CC}) (静态直流测量)	无 R_{LOAD} , $C_{LOAD} = 50\text{ pF}$	-	-67	-40	dB

1. 由设计保证, 不在生产中测试。
2. 数据基于考核结果, 不在生产中测试。

5.3.18. 比较器特性

表 5-41 比较器特性⁽¹⁾

符号	参数	条件			最小值	典型值	最大值	单位
V _{IN}	输入电压范围	-			0	-	V _{CC}	V
t _{START}	启动时间	高速模式			-	-	5	μs
		中速模式			-	-	15	
t _D	比较延时	200 mV 阶跃 100 mV 过驱动电压	高速模式	V _{CC} ≥ 1.8 V	-	50	2000	ns
				V _{CC} ≥ 2 V	-		200	
			中速模式	V _{CC} ≥ 1.8 V	-	1500	5000	
				V _{CC} ≥ 2 V	-		4000	
		>200 mV 阶跃 100 mV 过驱动电压	高速模式	V _{CC} ≥ 1.8 V	-	-	2000	
				V _{CC} ≥ 2 V	-	-	300	
			中速模式	V _{CC} ≥ 1.8 V	-	-	5000	
				V _{CC} ≥ 2 V	-	-	4000	
V _{offset}	失调电压	-			-	±5	±10	mV
V _{hys}	迟滞电压	无迟滞功能			-	0	-	mV
		有迟滞功能			-	20	-	
I _{CC}	功耗	静态功耗	高速模式	-	-	250	-	μA
			中速模式	-	-	10	-	
		动态功耗, 输入信号 为过驱动电压 100 mV, 50 kHz 的方波	高速模式	-	-	250	-	
			中速模式	-	-	10	-	

1. 由设计保证, 不在生产中测试。

5.3.19. 运算放大器特性

表 5-42 运算放大器特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{CC}	供电电压	-	2.5	-	5.5	V
V_{IN}	输入电压	-	0	-	V_{CC}	V
V_{OUT}	输出电压	$C_{LOAD} \leq 25 pF, R_{LOAD} \geq 50 k\Omega$	0.2	-	$V_{CC}-0.2$	V
I_{LOAD}	驱动电流	-	-	-	2.0	mA
R_{Load}	负载电阻	-	5	-	-	k Ω
C_{LOAD}	负载电容	-	-	-	25	pF
t_{start}	初始化时间	$C_{LOAD} \leq 25 pF, R_{LOAD} \geq 5 k\Omega$	-	-	20	μs
V_{IO}	输入失调电压	$C_{LOAD} \leq 25 pF, R_{LOAD} \geq 5 k\Omega$ $V_{com}=V_{CC}/2$	-	± 10	-	mV
PM	相位裕度	$C_{LOAD} \leq 25 pF, R_{LOAD} \geq 5 k\Omega$ $V_{com}=V_{CC}/2$	-	80	-	Deg
UGBW	单位增益宽	$C_{LOAD} \leq 25 pF, R_{LOAD} \geq 5 k\Omega$ $V_{com}=V_{CC}/2$	-	10	-	MHz
SR	压摆率	-	-	8	-	V/ μs

5.3.20. 温度传感器特性

表 5-43 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	± 1	± 2	$^{\circ}\text{C}$
Avg_Slope ⁽¹⁾	平均斜率	1.9	2.5	3.5	mV/ $^{\circ}\text{C}$
V_{30}	30 $^{\circ}\text{C}$ ($\pm 5^{\circ}\text{C}$) 时的电压	0.742	0.76	0.785	V
$t_{START}^{(1)}$	建立时间	-	70	120	μs
$t_{S_temp}^{(1)}$	当读取温度时的 ADC 采样时间	20	-	-	μs

1. 由设计保证, 不在生产中测试。
2. 数据基于考核结果, 不在生产中测试。

5.3.21. LCD 控制器特性

表 5-44 LCD 控制器特性

符号	参数	工作条件	最小值	典型值	最大值	单位
$I_{LCD}^{(4)}$	LCD 工作电流	内部电阻驱动模式 ⁽¹⁾	-	2.6	-	μA
		外部电阻驱动模式 ⁽²⁾	-	0.4	-	
		外部电容驱动模式 ⁽³⁾	-	0.5	-	
$R_L^{(4)}$	低驱动电阻	内部电阻驱动模式	-	6.2	-	M Ω
$R_H^{(4)}$	高驱动电阻	内部电阻驱动模式	-	30	-	k Ω
C_{ext}	单个外部电容容值	外部电容驱动模式	-	100	-	nF
V_{LCDH}	LCD 可调最高电压	-	-	V_{CC}	-	V
V_{LCD3}	LCD 最高电压	-	-	V_{LCDH}	-	
V_{LCD2}	LCD 3/4 电压	-	-	3/4 V_{LCDH}	-	
V_{LCD1}	LCD 2/4 电压	-	-	2/4 V_{LCDH}	-	
V_{LCD0}	LCD 1/4 电压	-	-	1/4 V_{LCDH}	-	

1. LCD 使能 $V_{CC} = 3.3\text{ V}$, 1/8 duty, 1/4 bias, 扫描频率为 256 Hz, 激活所有像素, 内部电阻分压模式, 高驱动时间 $FCCTL[2:0] = 101$, 不外接 LCD 屏幕。
2. LCD 使能 $V_{CC} = 3.3\text{ V}$, 1/8 duty, 1/4 bias, 扫描频率为 512 Hz, 激活所有像素, 外部电阻分压模式, 外部单节电阻 100 k Ω , 不包括外部电阻电流, 不外接 LCD 屏幕。
3. LCD 使能 $V_{CC} = 3.3\text{ V}$, 1/8 duty, 1/4 bias, 扫描频率为 512 Hz, 激活所有像素, 外部电容分压模式, 驱动外部电容次数 $SWCAP_DRV_NUM[2:0] = 000$, 不外接 LCD 屏幕。
4. 由设计保证, 不在生产中测试。

5.3.22. 内置参考电压特性

表 5-45 内置参考电压 (V_{REFINT}) 特性

符号	参数	最小值	典型值	最大值	单位
V_{REFINT}	内部参考电压	1.17	1.2	1.23	V
t_{start_refint}	内部参考电压启动时间	-	10	15	μs
T_{coeff}	温度系数	-	150 ⁽¹⁾	-	ppm/ $^{\circ}\text{C}$
I_{VCC}	V_{REFINT} 产生的电流损耗	-	12	20	μA

1. 由设计保证, 不在生产中测试。

表 5-46 内置的参考电压 (V_{REFBUF}) 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{REF25}	2.5 V 内置参考电压	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{CC} = 3.3\text{ V}$	2.475	2.5	2.525	V
V_{REF20}	2.048 V 内置参考电压	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{CC} = 3.3\text{ V}$	2.028	2.048	2.068	V
V_{REF15}	1.5 V 内置参考电压	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{CC} = 3.3\text{ V}$	1.485	1.5	1.515	V
$V_{REF1024}$	1.024 V 内置参考电压	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{CC} = 3.3\text{ V}$	1.014	1.024	1.034	V
V_{REF06}	0.6 V 内置参考电压	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{CC} = 3.3\text{ V}$	0.594	0.6	0.606	V
$T_{coeff_VREFBUF}^{(1)}$	V_{REFBUF} 温度系数	$T_A = -40 \sim 105\text{ }^{\circ}\text{C}$, $V_{REFBUF} = 1.024/1.5/2.048/2.5\text{ V}$	-	150	-	ppm/ $^{\circ}\text{C}$
		$T_A = -40 \sim 105\text{ }^{\circ}\text{C}$, $V_{REFBUF} = 0.6\text{ V}$	-	300	-	
$t_{start_VREFBUF}$	V_{REFBUF} 的启动时间	-	-	350	450	μs

1. 由设计保证, 不在生产中测试。

5.3.23. COMP 内置参考电压特性(6-bit DAC)

表 5-47 内置参考电压 (V_{REFCMP}) 特性

符号	参数	条件	最小值	典型值 ⁽¹⁾	最大值	单位
ΔV_{abs}	绝对偏差	-	-	± 0.5	-	LSB

1. 由设计保证, 不在生产中测试。

5.3.24. 定时器特性

表 5-48 定时器特性

符号	参数	条件	最大值	典型值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72\text{ MHz}$	-	13.889	-	ns
f_{EXT}	CH1~CH4 的定时器 外部时钟频率	-	-	$f_{TIMxCLK}/2$	-	MHz
		$f_{TIMxCLK} = 72\text{ MHz}$	-	36	-	
$t_{COUNTER}$	选择内部时钟时 16 位计数器时钟周期	-	-	2^{16}	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72\text{ MHz}$	-	910	-	μs
	32 位计数器时钟周期	-	-	2^{32}	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72\text{ MHz}$	-	59.65	-	s

表 5-49 LPTIM1 特性(时钟选择 LSI = 32.768 kHz)

预分频	PRESC[2:0]	最小溢出值	最大溢出值	单位
/1	0	0.0305	131072000	ms
/2	1	0.0610	262144000	
/4	2	0.1221	524288000	
/8	3	0.2441	1048576000	
/16	4	0.4883	2097152000	
/32	5	0.9766	4194304000	
/64	6	1.9531	8388608000	
/128	7	3.9063	16777216000	

表 5-50 LPTIM2 特性(时钟选择 LSI = 32.768 kHz)

预分频	PRESC[2:0]	最小溢出值	最大溢出值	单位
/1	0	0.0305	2000	ms
/2	1	0.0610	4000	
/4	2	0.1221	8000	
/8	3	0.2441	16000	
/16	4	0.4883	32000	
/32	5	0.9766	64000	
/64	6	1.9531	128000	
/128	7	3.9063	256000	

表 5-51 IWDG 特性(时钟选择 LSI = 32.768 kHz)

预分频	PR[2:0]	最小溢出值	最大溢出值	单位
/4	0	0.122	500	ms
/8	1	0.244	1000	
/16	2	0.488	2000	
/32	3	0.976	4000	
/64	4	1.952	8000	
/128	5	3.904	16000	
/256	6 or 7	7.808	32000	

表 5-52 WWDG 特性(时钟选择 48 MHz PCLK)

预分频	WDGTB[1:0]	最小溢出值	最大溢出值	单位
1*4096	0	0.085	5.461	ms
2*4096	1	0.171	10.923	
4*4096	2	0.341	21.845	
8*4096	3	0.683	43.691	

5.3.25. 通讯口特性

5.3.25.1. I²C 总线接口特性

I²C 接口满足 I²C 总线 规格和用户手册的要求:

- 标准模式 (100 kHz)
- 快速模式 (400 kHz)
- 快速增强模式(1 MHz)

I²C SDA 和 SCL 管脚具有模拟滤波功能, 参见下表。

表 5-53 I²C 滤波器特性

符号	参数	最小值	最大值	单位
t _{AF}	限制过滤器抑制的尖峰持续时间 (短于限制持续时间的尖峰被抑制)	50	260	ns

5.3.25.2. 串行外设接口 SPI 特性

表 5-54 SPI 特性

符号	参数	条件	最小值	最大值	单位
f _{SCK} 1/t _{c(SCK)}	SPI 时钟频率	主机模式	-	36	MHz
		从机模式	-	36	
t _{r(SCK)} t _{f(SCK)}	SPI 时钟上升和下降时间	负载电容: C = 15 pF	-	6	ns

The diagram illustrates the timing relationships for an SPI interface. It shows the following signals and their timing parameters:

- NSS input:** The chip select signal. Key timing parameters include $T_{su}(NSS)$ (setup time before SCK), $T_{c}(SCK)$ (clock period), $T_{h}(NSS)$ (hold time after SCK), and $T_{r}(SCK)$ (SCK rise time).
- SCK input:** The serial clock signal. Two configurations are shown:
 - CPHA=0, CPOL=0:** The clock is high during the first half of the data transfer.
 - CPHA=0, CPOL=1:** The clock is low during the first half of the data transfer.
- MISO output:** The master-in, slave-out signal. It shows the transfer of data from the slave to the master. Key timing parameters include $T_{su}(SCK)$ (setup time before SCK), $T_{v}(SCK)$ (SCK setup time), $T_{v}(SO)$ (MISO output delay), $T_{s}(SO)$ (MISO output delay), $T_{f}(SCK)$ (SCK fall time), and $T_{d1s}(SO)$ (MISO output delay).
- MOSI input:** The master-out, slave-in signal. It shows the transfer of data from the master to the slave. Key timing parameters include $T_{su}(SI)$ (MOSI setup time) and $T_{h}(SI)$ (MOSI hold time).

The diagram also indicates the data transfer sequence: First bit OUT, Next bits OUT, Last bit OUT, First bit IN, Next bits IN, and Last bit IN.

100

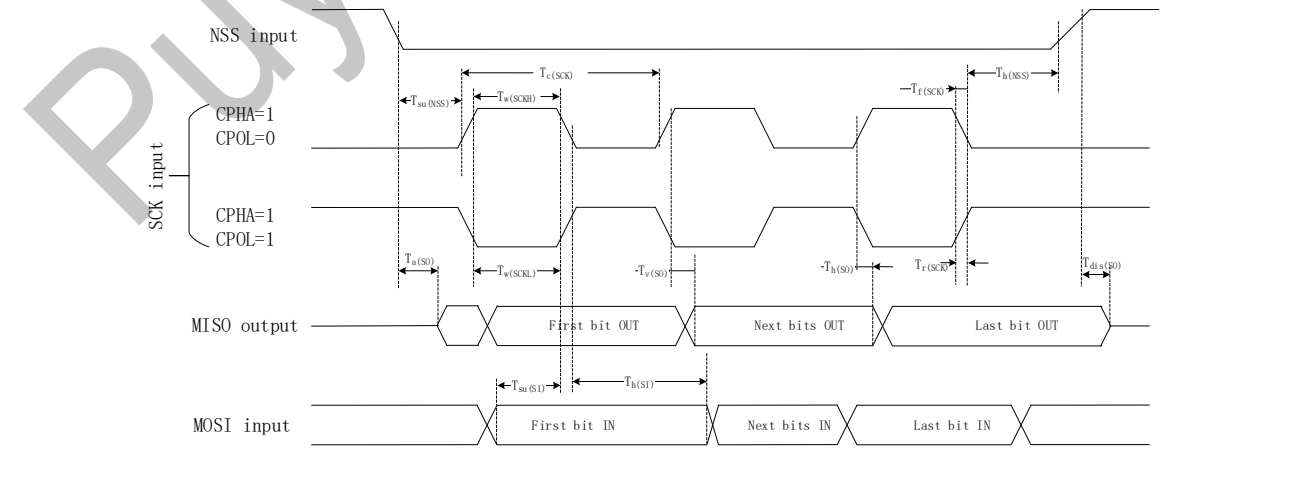


图 5-5 SPI 时序图 - 从机模式, CPHA = 1

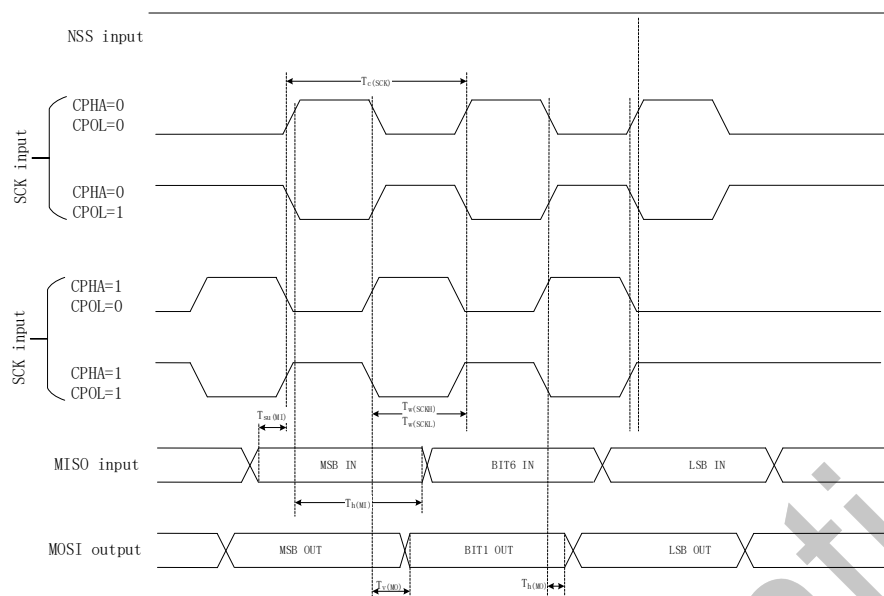
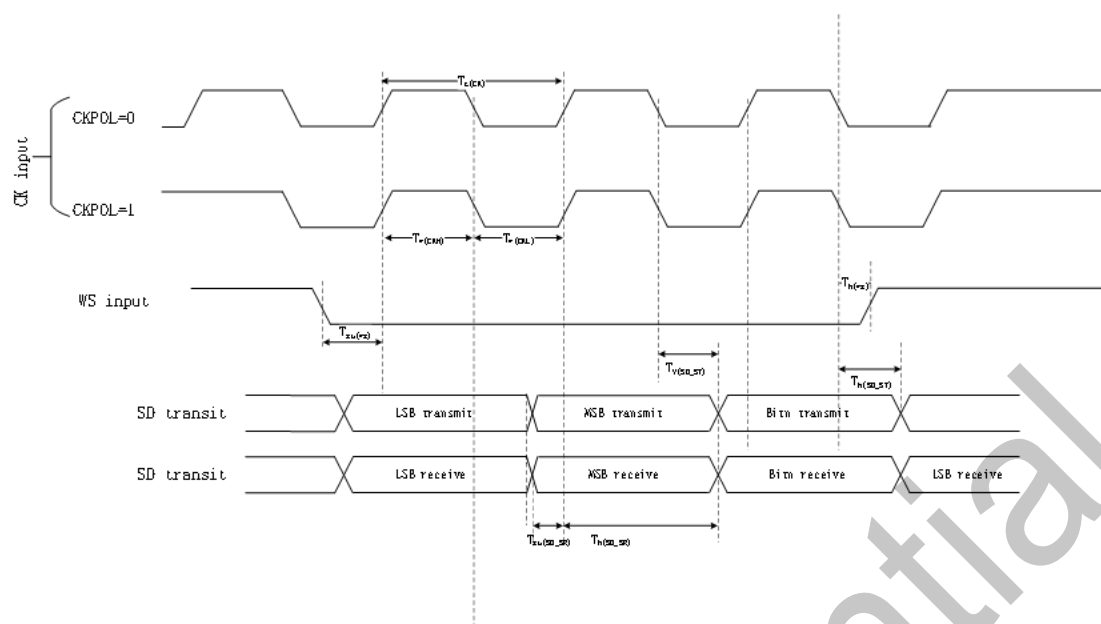
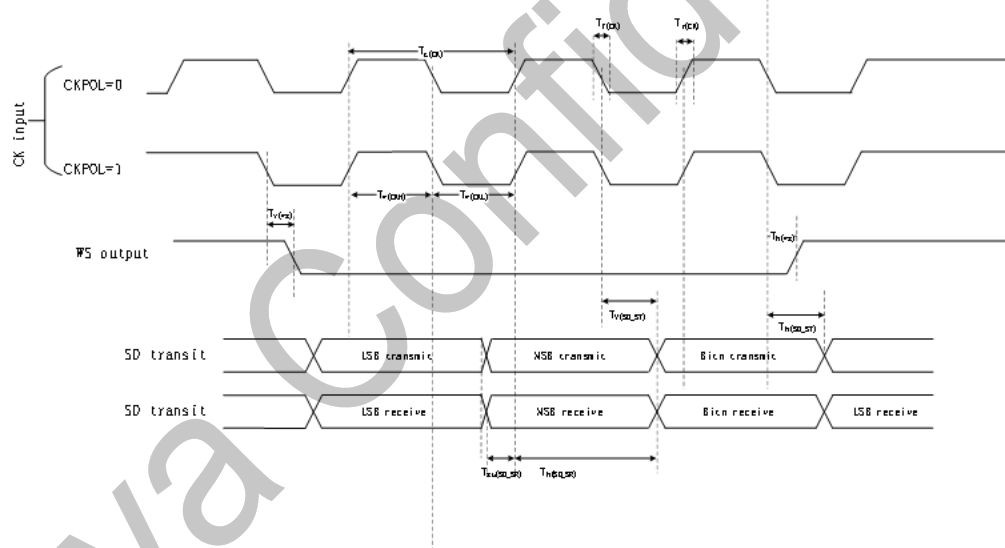


图 5-6 SPI 时序图 – 主机模式

5.3.25.3. I²S 接口特性表 5-55 I²S 接口特性

符号	参数	条件	最小值	最大值	单位
f_s	I ² S 音频采样频率	-	8	192	kHz
f_{MCLK}	I ² S 主时钟输出	-	$256 \times f_s$	$256 \times f_s$	kHz
f_{CK} $1/t_c(CK)$	I ² S 时钟频率	主模式数据	-	$64 \times f_s$	kHz
		从模式数据	-	$64 \times f_s$	
D_{CK}	I ² S 时钟占空比	从模式接收	30	70	%
$t_r(CK)$ $t_f(CK)$	I ² S 时钟上升/下降时间	电容负载 $C_L = 50 \text{ pF}$	-	8	ns
$t_v(W_S)$	W_S 有效时间	主模式	-	2	
$t_h(W_S)$	W_S 保持时间	主模式	3	-	
		从模式	2	-	
$t_{su}(W_S)$	W_S 建立时间	从模式	4	-	
$t_{su}(SD_MR)$	数据输入建立时间	主接收器	3	-	
$t_{su}(SD_SR)$		从接收器	4	-	
$t_h(SD_MR)$	数据输入保持时间	主接收器	5	-	
$t_h(SD_SR)$		从接收器	2	-	
$t_v(SD_ST)$	数据输出有效时间	从接收器 (使能边沿之后)	-	20	
$t_v(SD_MT)$		主接收器 (使能边沿之后)	-	5	
$t_h(SD_ST)$	数据输出保持时间	从接收器 (使能边沿之后)	2	-	
$t_h(SD_MT)$		主接收器 (使能边沿之后)	1	-	

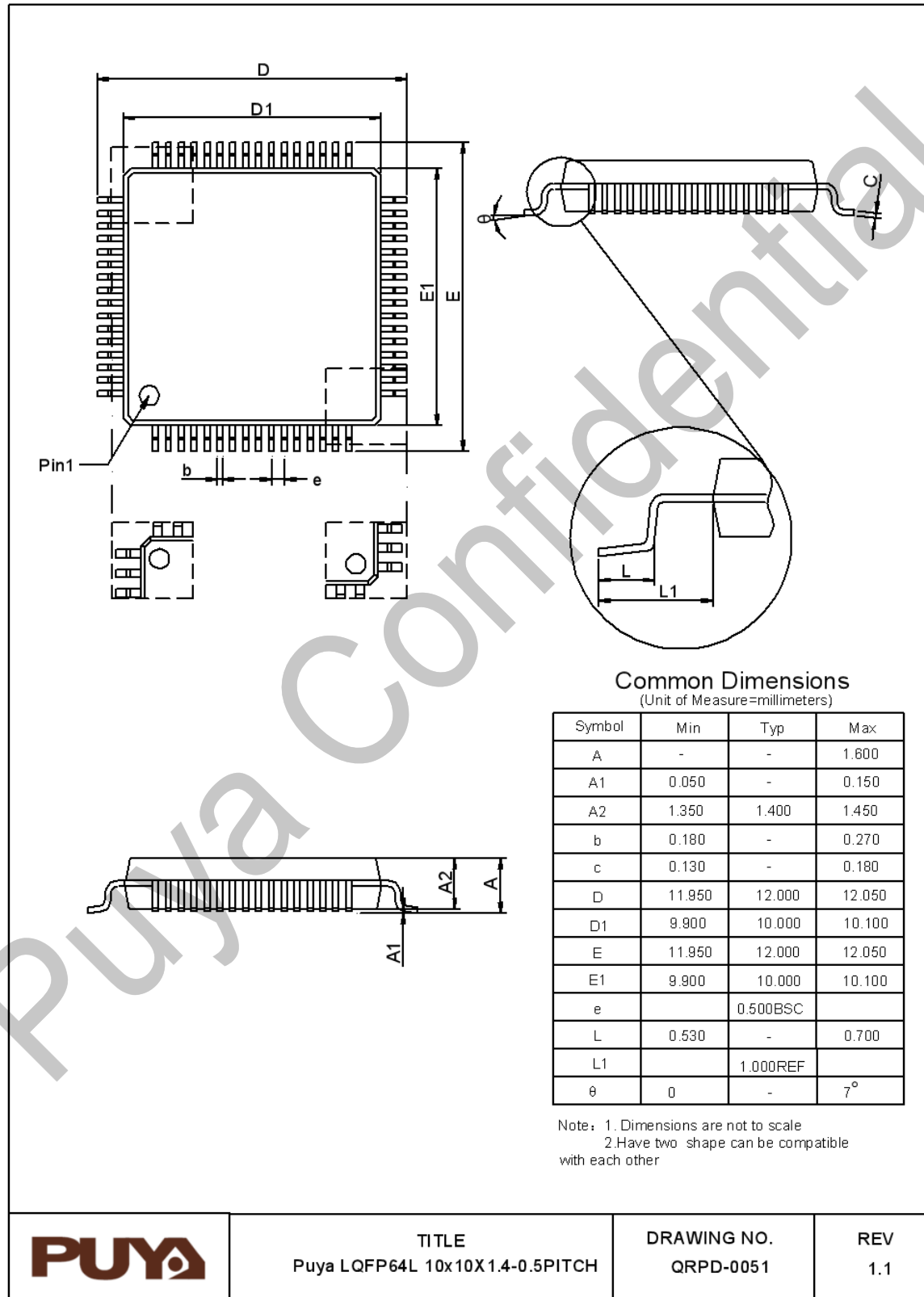
图 5-7 I²S 从模式时序图 (Philips 协议)图 5-8 I²S 主模式时序图 (Philips 协议)

5.3.25.4. CAN 接口特性

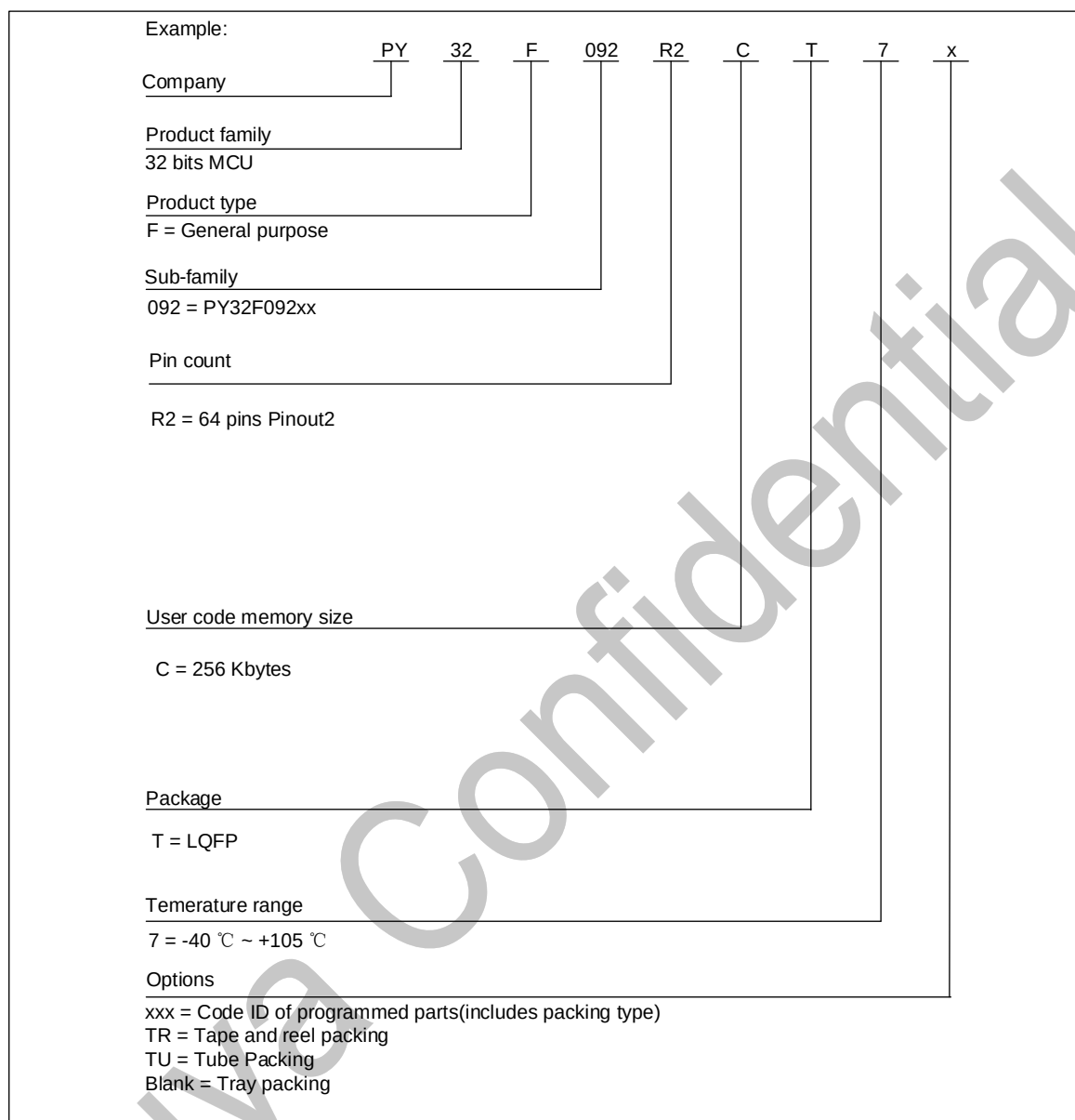
有关输入/输出复用功能引脚的特性，参见 IO 端口特性章节。

6. 封装信息

6.1. LQFP64 封装尺寸



7. 订购信息



8. 版本历史

版本	日期	更新记录
V0.5	2025.08.21	初版



Puya Semiconductor Co., Ltd.

声 明

普冉半导体(上海)股份有限公司（以下简称：“Puya”）保留更改、纠正、增强、修改 Puya 产品和/或本文档的权利，恕不另行通知。用户可在下单前获取产品的最新相关信息。

Puya 产品是依据订单时的销售条款和条件进行销售的。

用户对 Puya 产品的选择和使用承担全责，同时若用于其自己或指定第三方产品上的，Puya 不提供服务支持且不对此类产品承担任何责任。

Puya 在此不授予任何知识产权的明示或暗示方式许可。

Puya 产品的转售，若其条款与此处规定不一致，Puya 对此类产品的任何保修承诺无效。

任何带有 Puya 或 Puya 标识的图形或字样是普冉的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代并替换先前版本中的信息。

普冉半导体(上海)股份有限公司 - 保留所有权利